

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-203426

(43) 公開日 平成7年(1995)8月4日

(51) Int. Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 7/24

H 0 4 N 7/13

Z

審査請求 未請求 請求項の数 1 O L (全 26 頁)

(21) 出願番号 特願平5-334180

(22) 出願日 平成5年(1993)12月28日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 小代 夏樹

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝マルチメディア技術研究所内

(72) 発明者 坂本 典哉

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝マルチメディア技術研究所内

(72) 発明者 石川 達也

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝マルチメディア技術研究所内

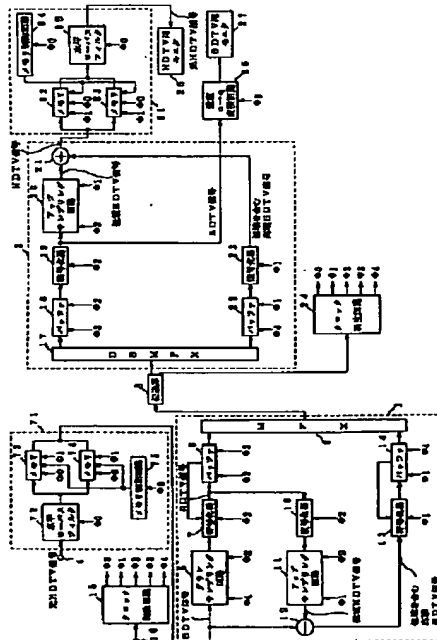
(74) 代理人 弁理士 伊藤 進

(54) 【発明の名称】 階層符号化復号化装置

(57) 【要約】

【目的】 回路規模を縮小する。

【構成】 プリ処理部71は画面の画素数が $M \times N$ で有効画素数が $m \times n$ の元HDTV信号の水平方向の解像度変換を行って、画面の画素数が K, L で有効画素数が $q (< m) \times n$ のHDTV信号を得る。ダウンサンプリング回路5はSDTV信号の水平及び垂直に2倍の画素数の有効画素 $p \times q$ を取込んでダウンサンプリングしてSDTV信号を得る。アップサンプリング回路11はSDTV信号から低域HDTV信号を再生する。減算器12はプリ処理部71出力から低域HDTV信号を減算する。低域HDTV信号には、 $p \times (n - q)$ の部分は含まれておらず、この部分の減算器12の出力は全帯域のHDTV信号となる。SDTV信号と減算器12の出力とから元HDTV信号を再生することができる。プリ処理部71及びポスト処理部25は垂直ローパスフィルタが不要であり、回路規模が縮小される。



【特許請求の範囲】

【請求項1】 水平画素数が K 、水平有効画素数が m 、垂直ライン数が L 、垂直有効ライン数が n (K, m, L, n は自然数)のテレビジョン信号が与えられ、水平有効画素のうちの p (p は m 以下の自然数)画素と垂直有効ラインのうちの q (q は n 以下の自然数)ラインとの $p \times q$ の部分を下サンプリングする下サンプリング手段と、この下サンプリング手段の出力を符号化して伝送する第1の符号化手段と、前記下サンプリング手段の出力を上サンプリングする上サンプリング手段と、前記テレビジョン信号と前記上サンプリング手段出力との差を求めることにより、前記テレビジョン信号の $p \times q$ の部分については高域成分を得、他の部分については全帯域成分を得る減算手段と、この減算手段の出力を符号化して伝送する第2の符号化手段とを具備したことを特徴とする階層符号化復号化装置。

【発明の詳細な説明】

【0001】【発明の目的】

【産業上の利用分野】本発明は、階層符号化復号化装置に関し、特に、デジタル放送等に好適な階層符号化復号化装置に関する。

【0002】

【従来の技術】近年、デジタル放送についての研究が行われている。デジタル方式は、受信限界において急峻なスレッショルド特性を有し、受信状態が不良な地域においては、エラー発生量が極めて増加して、全く受信不能となることがある。そこで、伝送レートを無制限に高くすることなく、必要な映像情報を受信することができるよう、映像信号を重み付けする階層符号化を採用することがある。映像信号を階層符号化し、優先度が高い階層の符号化出力については強力なエラー訂正符号を付加し、優先度が低い階層の符号化出力は積極的に切り捨てる。

【0003】例えば、HDTV (High-Definition TV) 信号を伝送する場合には、このHDTV信号を、CCIRの勧告601のSDTV (Standard Definition TV) に対応する階層までの符号化出力とHDTVに対応する階層までの符号化出力とに分離して階層符号化する。各階層の符号化出力を多重して伝送する。受信側では、強力なエラー訂正符号を使用することにより、少なくともSDTVに対応する階層までの符号化出力は確実に復号化して、SDTVに対応するモニタ、例えば、現行NTSC放送用のモニタと同程度の解像度のモニタに映出させる。また、HDTVに対応する階層までの符号化出力を復号化することにより、HDTV用のモニタにHDTV画像を映出させる。

【0004】図13はこのようなHDTV信号を階層符

号化及び復号化する従来の階層符号化復号化装置を示すブロック図である。また、図14はその動作を説明するための説明図である。図14では、網線によって全帯域の映像信号を示し、右斜め斜線によって水平及び垂直低域の映像信号を示し、左斜め斜線によって水平及び垂直高域の映像信号を示している。

【0005】図13の装置はHDTV信号を階層符号化部1によって下サンプリングしてSDTV信号に対応した符号化出力を得る。例えば、階層符号化部1に水平画素数が $P (=1716)$ 、水平有効画素数が $p (=1440)$ 、垂直ライン数が $Q (=1050)$ 、垂直有効ライン数が $q (=960)$ 、フレーム周波数が $f_0 (=30\text{Hz})$ のHDTV信号 (例えば、米国のATV (Advanced Television) 信号) を供給する。下サンプリング回路5はHDTV信号を下サンプリングしてSDTV信号を得る。下サンプリング回路5が水平及び垂直帯域を $1/2$ にすると共に、水平及び垂直画素数を $1/2$ にすることにより、下サンプリング回路5からのSDTV信号は水平画素数が858、水平有効画素数が720、垂直ライン数が525、垂直有効ライン数が480、フレーム周波数が30Hzとなり、CCIRの勧告601に基づくものとなる。このSDTV信号は現行NTSCテレビジョン信号 (水平画素数が700、水平有効画素数が640、垂直ライン数が525、垂直有効ライン数が480、フレーム周波数が30Hz) と同程度の解像度である。

【0006】ところで、SDTV信号の画素数に対して簡単な整数倍の画素数となっていないHDTV信号を階層符号化することが考えられる。図13の装置はこの場合に対応しており、例えば、入力端子4には水平画素数が $M (=2200)$ 、水平有効画素数が $m (=1920)$ 、垂直ライン数が $N (=1035)$ 、垂直有効ライン数が $n (=1125)$ 、フレーム周波数が $f_0 (=30\text{Hz})$ のHDTV信号 (以下、元HDTV信号という) を供給する。プリ処理部6は元HDTV信号を水平及び垂直方向に間引くと共に帯域制限する。これにより、入力端子4を介して入力された図14 (a) に示す画素数及びライン数の元HDTV信号は、プリ処理部6によって、図14 (b) に示すHDTV信号に変換されて階層符号化部1に与えられる。

【0007】階層符号化部1は、下サンプリング回路5、符号化器7、バッファ8、復号化器10、アップサンプリング回路11、減算器12、符号化器13、バッファ14及びマルチプレクス回路 (以下、MPXという) 9によって構成している。図15は下サンプリング回路の具体的な構成を示すブロック図である。

【0008】下サンプリング回路5に与えるクロック ϕ_1 、 ϕ_2 はクロック発生回路15によって作成される。クロック発生回路15は端子16を介して入力される同期信号に基づいて、周波数が異なる各クロック ϕ_1 乃至

φ4 を発生する。ダウンサンプリング回路5の水平ローパスフィルタ31には端子30を介して図14(b)に示すHDTV信号が供給される。水平ローパスフィルタ31はクロックφ1によって動作して、HDTV信号の水平低域を通過させて垂直ローパスフィルタ32に与える。垂直ローパスフィルタ32は、クロックφ1で動作して、HDTV信号の垂直低域を通過させてメモリ33、34に出力する。

【0009】垂直ローパスフィルタ32の出力信号は、メモリ33及びメモリ34にクロックφ1で書込まれ、クロックφ2で読出される。メモリ33、メモリ34はクロックφ1で動作するメモリ制御回路35によって、一方がリードモードのときには他方がライトモードとなる。メモリ33及びメモリ34は、水平及び垂直低域のHDTV信号を保持する。クロックφ2をクロックφ1の例えば1/2倍の周波数とすることにより、メモリ33、34に保持されたデータは1/2に間引かれて読出される。これにより、出力端子36には、図14(c)に示すSDTV信号が得られる。即ち、このSDTV信号は、水平画素数が858、水平有効画素数が720、垂直ライン数が525、垂直有効ライン数が480、フレーム周波数が30Hzであり、水平及び垂直帯域がHDTV信号の1/2となっている。

【0010】このSDTV信号は符号化器7に与える。符号化器7はバッファ8から出力される制御信号によって制御されて、クロック発生回路15から出力されるクロックφ2で動作する。符号化器7はSDTV信号を符号化して、優先度が高い階層の符号化出力としてバッファ8を介してMPX9に出力すると共に、優先度が低い階層の符号化出力を作成するために復号化器10にも出力する。バッファ8はクロック発生回路15から出力されるクロックφ2で信号を取込み、クロックφ3に基づく一定レートでSDTV信号の符号化出力を出力する。なお、符号化器7は伝送時のエラーを確実に訂正するために強力なエラー訂正符号を付加するようになっている。

【0011】一方、アップサンプリング回路11にはクロック発生回路15からクロックφ1、φ2も与える。図16はアップサンプリング回路の具体的な構成を示すブロック図である。

【0012】SDTV信号は端子41を介してメモリ42及びメモリ43に与えられる。メモリ42、メモリ43はクロックφ1で動作するメモリ制御回路44によって、一方がリードモードであるときには他方がライトモードとなるようになっている。メモリ42、43はクロックφ2でデータを取込み、クロックφ1でデータを出力する。上述したように、クロックφ1の周波数はクロックφ2の周波数の2倍であり、メモリ42、43からは、SDTV信号の各画素データが読出されるときに画素間に0データが挿入されて読出される。これにより、SDTV信号は2倍の画素数の信号に変換される。メモリ42、43の出力はクロ

ックφ1で動作する垂直ローパスフィルタ45に与えられ、垂直低域に帯域制限される。更に、垂直ローパスフィルタ45の出力をクロックφ1で動作する水平ローパスフィルタ46に与えて、水平低域を通過させる。

【0013】即ち、アップサンプリング回路11によってSDTV信号は補間され、アップサンプリング回路11からは水平画素数が1716、水平有効画素数が1440、垂直ライン数が1050、垂直有効ライン数が960、フレーム周波数が30Hzで、水平及び垂直低域の信号が得られる。この信号は図14(e)に示すように、画素数がHDTV信号と同数であり、図の右斜め斜線で示すように、水平及び垂直低域の信号（以下、低域HDTV信号という）である。この低域HDTV信号は減算器12に与えられる。

【0014】減算器12にはプリ処理部6から全帯域のHDTV信号（図14(b)）も入力されている。減算器12はHDTV信号から低域HDTV信号を減算することにより、水平画素数が1716、水平有効画素数が1440、垂直ライン数が1050、垂直有効ライン数が960、フレーム周波数30Hzで、水平及び垂直高域の信号（以下、高域HDTV信号という）（図14(d)）を得る。

【0015】減算器12からの高域HDTV信号は符号化器13に与えられる。符号化器13は、バッファ14から出力される制御信号によって制御され、クロックφ1で動作して、高域HDTV信号を符号化してバッファ14に出力する。バッファ14はクロックφ1で信号を取込み、クロックφ4に基づく一定レートで信号を出力する。バッファ14の出力はMPX9に与えられる。

【0016】MPX9は、バッファ8からのSDTV信号の符号化出力と、バッファ14からの高域HDTV信号の符号化出力とを多重し、伝送系3に送出する。伝送系3からの信号は階層復号化部2のデマルチプレクス回路（以下、DEMPXという）17に入力されると共に、クロック再生回路24にも入力される。クロック再生回路24は、入力された信号からクロックφ0、φ1、φ2、φ3、φ4を再生する。

【0017】DEMPX17は伝送された信号を高域HDTV信号の符号化出力とSDTV信号の符号化出力とに分離して夫々バッファ22、18に出力する。バッファ18は、クロック再生回路24から出力されるクロックφ3で信号を取込み、クロックφ2で信号を出力する。バッファ18からのSDTV信号の符号化出力は復号化器19に与える。復号化器19はクロックφ2で動作し、SDTV信号の符号化出力を誤り訂正した後、復号化して図14

(c)に示すSDTV信号を再生する。このSDTV信号をSDTV用モニタ27に与えることにより、SDTVモニタ27において有効走査線数が480本の現行NTSC映像と同程度の解像度のSDTV画像が映出される。

【0018】復号化器19からのSDTV信号はアップサ

ンプリング回路20にも与えられる。アップサンプリング回路20は送信側のアップサンプリング回路11（図16）と同様の構成であり、クロック再生回路24から出力されるクロック ϕ_2 で信号を取込み、クロック ϕ_1 で出力する。即ち、アップサンプリング回路20はSDTV信号の画素数を2倍にすることにより、図14（e）に示す低域HDTV信号を得る。この低域HDTV信号は加算器21に与えられる。

【0019】一方、バッファ22は、クロック再生回路24から出力されるクロック ϕ_4 で高域HDTV信号の符号化出力を取込み、クロック ϕ_1 で出力する。バッファ22から出力された高域HDTV信号の符号化出力は復号化器23に与えられる。復号化器23はクロック ϕ_1 で動作し、入力された高域HDTV信号の符号化出力を復号化して図14（d）に示す高域HDTV信号を加算器21に出力する。

【0020】加算器21は、アップサンプリング回路20からの低域HDTV信号と復号化器23からの高域HDTV信号とを加算することにより、図14（b）に示す全帯域のHDTV信号を得てポスト処理部25に出力する。即ち、階層復号化部2からのHDTV信号は水平画素数が $P (= 1716)$ 、水平有効画素数が $p (= 1440)$ 、垂直ライン数が $Q (= 1050)$ 、垂直有効ライン数が $q (= 960)$ 、フレーム周波数が $f_0 (= 30\text{ Hz})$ である。

【0021】ポスト処理部25は送信側におけるプリ処理部6の逆処理を行う。即ち、ポスト処理部25は、HDTV信号をアップサンプリングして、図14（a）に示す水平画素数が2200、水平有効画素数が1920、垂直ライン数が1035、垂直有効ライン数が1125、フレーム周波数が30 Hzの元HDTV信号を再生する。元HDTV信号はHDTV用モニタ26に与える。こうして、HDTV用モニタ26の画面上において、図14（a）の画像を映出する。

【0022】ところで、図13の装置は、ダウンサンプリング回路5及びアップサンプリング回路11、20の構成を簡単なものとするために、SDTV信号の画素数に対して簡単な整数比の画素数を有するHDTV信号を入出力としている。このため、プリ処理部6及びポスト処理部25によって画素数を変換する必要があった。図17はプリ処理部6及びポスト処理部25の具体的な構成を示すブロック図であり、図17（a）はプリ処理部を示し、図17（b）はポスト処理部を示している。

【0023】プリ処理部6に入力された元HDTV信号（図14（a））は、先ず、クロック発生回路15から出力されるクロック ϕ_0 で動作する水平ローパスフィルタ51に与えられ、次いで、クロック ϕ_0 で動作する垂直ローパスフィルタ52に与えられる。水平及び垂直ローパスフィルタ51、52によって水平及び垂直帯域が制限される。垂直ローパスフィルタ52の出力は、メモリ53及びメ

モリ54に与えられる。メモリ53及びメモリ54は、クロック ϕ_0 で動作するメモリ制御回路55によって制御されて、一方がリードモードであるときには他方がライトモードとなる。メモリ53、54は、クロック ϕ_0 を用いて信号を取込み、クロック ϕ_1 を用いて信号を出力する。

【0024】図18はメモリ53、54の書き込み及び読出しを説明するためのタイミングチャートである。図18

（a）は垂直ローパスフィルタ52からの元HDTV信号を示し、図18（b）はメモリ53の書き込み制御を示し、図18（c）はメモリ53の読出し制御を示し、図18（d）はメモリ54の書き込み制御を示し、図18（e）はメモリ54の読出し制御を示し、図18（f）はHDTV信号を示している。

【0025】図18（a）の期間T1は、垂直ローパスフィルタ52から出力される元HDTV信号の1フレーム又は1フィールド期間に相当し、期間T2は、1ライン期間に相当する。また、期間T3は映像信号期間、期間T4はブランキング期間に相当する。メモリ53、54には、夫々図18（b）、（d）に示した書き込み制御信号が与えられる。メモリ53、54は書き込み制御信号のハイレベル（以下、“H”という）でライトイネーブルとなって書き込みを行い、1フレーム又は1フィールド分の元HDTV信号を記憶する。即ち、元HDTV信号は、図18（b）の書き込み制御信号によって、映像信号期間T3の間、メモリ53にクロック ϕ_0 で書き込まれる。同様に、図18（d）の書き込み制御信号によってメモリ54にクロック ϕ_0 で書き込みが行われる。なお、クロック ϕ_0 は元HDTV信号の画素数に基づく周波数である。

【0026】一方、メモリ53、54には、夫々図18（c）、（e）に示した読出し制御信号も与えられる。メモリ53、54はこの読出し制御信号のハイレベル（以下、“H”という）でリードイネーブルとなって読出しを行い、記憶した1フレーム又は1フィールド分の元HDTV信号を出力する。即ち、メモリ53、54に書き込まれた元HDTV信号は、図18（c）、（e）の読出し制御信号により、期間T6の間、クロック ϕ_1 で読出される。なお、期間T6は、HDTV信号の1ライン分の映像信号期間に相当し、期間T7はブランキング期間に相当する。

【0027】この場合には、クロック ϕ_1 の周波数はHDTV信号の画素数に基づいて設定されており、元HDTV信号の水平及び垂直方向の有効画素（ 1920×1035 ）から所定の画素データが間引かれて、水平画素 $1440 \times$ 垂直画素 1050 の有効画素のみが読出される。こうして、図18（f）に示すHDTV信号が出力端子56に現れる。即ち、図14（a）に示す元HDTV信号は図14（b）に示すHDTV信号に変換される。

【0028】図17（b）に示すポスト処理部25においては、階層復号化部2からのHDTV信号は入力端子60を介してメモリ61、62に与えられる。メモリ61及びメモ

リ62は、クロック $\phi 0$ で動作するメモリ制御回路63によって制御されて、一方がリードモードであるときには他方がライトモードとなる。メモリ61, 62は、HDTV信号の画素数に基づくクロック $\phi 1$ でHDTV信号を読込み、元HDTV信号の画素数に基づくクロック $\phi 0$ で信号を出力する。

【0029】図19はメモリ61, 62の書込み及び読出しを説明するためのタイミングチャートである。図19

(a)は入力されるHDTV信号を示し、図19(b)はメモリ61の書込み制御信号を示し、図19(c)はメモリ61の読出し制御信号を示し、図19(d)はメモリ62の書込み制御信号を示し、図19(e)はメモリ62の読出し制御信号を示し、図19(f)は元HDTV信号を示している。なお、期間T1は1フレーム又は1フィールド期間に相当し、期間T2は1ラインに相当する。また、期間T3は映像信号期間に相当し、期間T4はブランキング期間に相当する。

【0030】メモリ61には、図19(b)の書込み制御信号及び図19(c)の読出し制御信号を与える。メモリ61は書込み制御信号の“H”でライトイネーブルとなり、階層復号化部2からのHDTV信号をライトイネーブル期間、即ち、映像信号に相当する期間T3の間、クロック $\phi 1$ で取込む。また、メモリ62には、図19

(d)の書込み制御信号及び図19(e)の読出し制御信号を与える。メモリ62は図19(d)の書込みを制御信号の“H”でライトイネーブルとなり、クロック $\phi 1$ でHDTV信号を取込む。こうして、メモリ61, 62には1フレーム又は1フィールド期間のHDTV信号が交互に書込まれる。

【0031】一方、図19(c), (e)に示す読出し制御信号の“H”期間には、メモリ61, 62はリードイネーブルとなる。即ち、メモリ61, 62に書込まれたHDTV信号は、元HDTV信号の映像信号期間(図19(c), (e)の期間T6)において、メモリ61, 62からクロック $\phi 0$ で読出される。上述したように、クロック $\phi 0$ は元HDTV信号の画素数に対応しており、メモリ61, 62は、プリ処理部6において間引いたデータに対応させて0データを挿入する。これにより、メモリ61, 62からは、図19(f)に示すように、水平及び垂直有効画素数が 1920×1035 の信号が出力される。なお、期間T5は元HDTV信号の1ライン期間に相当し、期間T6は映像信号期間に相当し、期間T7はブランキング期間に相当する。

【0032】メモリ61及びメモリ62の出力は、水平ローパスフィルタ64に与えられ、次いで、垂直ローパスフィルタ65に与えられる。水平ローパスフィルタ64及び垂直ローパスフィルタ65はクロック $\phi 0$ で動作して帯域制限を行うことにより、メモリ61, 62の出力を補間する。こうして、出力端子66には水平画素数が 2200 、水平有効画素数が 1920 、垂直ライン数が 1035 、垂直有

効ライン数が 1125 、フレーム周波数が 30Hz の元HDTV信号(図14(a))が現れる。

【0033】このように、プリ処理部6及びポスト処理部25は夫々ダウンサンプリング回路5及びアップサンプリング回路11, 20と略同様の処理を行っている。ところが、プリ処理部6及びポスト処理部25においては、ダウンサンプリング処理及びアップサンプリング処理による水平及び垂直解像度変換後の画素数は変換前の画素数に対して簡単な整数比となっていない。従って、プリ処理部6及びポスト処理部25の水平及び垂直ローパスフィルタとして大規模の回路を用いなければならないという問題があった。

【0034】

【発明が解決しようとする課題】このように、上述した従来の階層符号化復号化装置は、優先度が高い階層の信号の解像度と優先度が低い階層の信号の解像度との比が簡単な整数比となっていない場合には、プリ処理及びポスト処理によって水平及び垂直解像度変換を行うようになっており、回路規模が極めて増大するという問題点があった。

【0035】本発明は、画質を殆ど劣化させることなく、水平及び垂直解像度変換を簡略化可能とすることにより回路規模を著しく縮小することができる階層符号化復号化装置を提供することを目的とする。

【0036】[発明の構成]

【課題を解決するための手段】本発明に係る階層符号化復号化装置は、水平画素数が K 、水平有効画素数が m 、垂直ライン数が L 、垂直有効ライン数が n (K, m, L, n は自然数)のテレビジョン信号が与えられ、水平有効画素のうちの p (p は m 以下の自然数)画素と垂直有効ラインのうちの q (q は n 以下の自然数)ラインとの $p \times q$ の部分でダウンサンプリングするダウンサンプリング手段と、このダウンサンプリング手段の出力を符号化して伝送する第1の符号化手段と、前記ダウンサンプリング手段の出力をアップサンプリングするアップサンプリング手段と、前記テレビジョン信号と前記アップサンプリング手段出力との差を求めることにより、前記テレビジョン信号の $p \times q$ の部分については高域成分を得、他の部分については全帯域成分を得る減算手段と、この減算手段の出力を符号化して伝送する第2の符号化手段とを具備したものである。

【0037】

【作用】本発明において、ダウンサンプリング手段は、テレビジョン信号のうちの $p \times q$ の部分でダウンサンプリングする。この $p \times q$ の解像度をSDTV画像の解像度に対応させることにより、ダウンサンプリング手段の回路規模を縮小する。アップサンプリング手段はダウンサンプリング手段の出力をアップサンプリングすることにより低域のテレビジョン信号を得る。減算手段はテレビジョン信号からアンブサンプリング手段の出力を減算

する。テレビジョン信号の $p \times q$ 以外の部分については、テレビジョン信号の高域成分が得られる。テレビジョン信号の他の部分については、全帯域のテレビジョン信号が得られる。復号化側において、ダウンサンプリング手段の出力及び減算手段の出力に対応する信号を得ることにより、有効画素数 $m \times n$ のテレビジョン画像を映出する。

【0038】

【実施例】以下、図面を参照して本発明の実施例について説明する。図1は本発明に係る階層符号化復号化装置の一実施例を示すブロック図である。図1において図13と同一の構成要素には同一符号を付してある。本実施例は水平画素数が2200、水平有効画素数が1920、垂直ライン数が1125、垂直有効ライン数が1035、フレーム周波数30HzのHDTV信号の階層符号化及び階層復号化に対応可能なものである。

【0039】入力端子4には、元HDTV信号として、水平画素数が M 、水平有効画素数が m 、垂直ライン数が N 、垂直有効ライン数が n 、フレーム周波数が f_0 のHDTV信号を入力する。なお、説明の便宜上、従来と同様に、水平画素数 $M=2200$ 、水平有効画素数 $m=1920$ 、垂直ライン数 $N=1125$ 、垂直有効ライン数 $n=1035$ 、フレーム周波数 $f_0=30\text{Hz}$ とすると共に、SDTV信号としてCCRIの勧告601の信号（水平画素数 $U=858$ 、水平有効画素数 $u=720$ 、垂直ライン数 $V=525$ 、垂直有効ライン数 $v=480$ 、フレーム周波数が $f_0=30\text{Hz}$ ）を用いて説明する。

【0040】この元HDTV信号は入力端子4を介してプリ処理部71に与えられる。本実施例においては、プリ処理部71は、水平ローパスフィルタ72、メモリ73、メモリ74及びメモリ制御回路75によって構成されている。プリ処理部71は元HDTV信号の水平画素数のみを小さくする水平解像度変換を行うようになっている。

【0041】水平ローパスフィルタ72にはクロック再生回路15からのクロック ϕ_0 が与えられる。クロック再生回路15は端子16から入力された同期信号に基づいてクロック ϕ_0 乃至 ϕ_4 を発生するようになっている。クロック ϕ_0 は元画像信号の画素数に対応した周波数に設定されている。水平ローパスフィルタ72はクロック ϕ_0 によって動作して、元HDTV信号を帯域制限してメモリ73、74に出力するようになっている。

【0042】水平ローパスフィルタ72の出力はメモリ73及びメモリ74に供給される。メモリ73、メモリ74はメモリ制御回路75によって制御される。メモリ制御回路75は、クロック発生回路15から出力されるクロック ϕ_0 で動作して、メモリ73、74の一方をリードモードにしたときには他方をライトモードにするようになっている。メモリ73、74は、ライトモード時に、入力された信号をクロック ϕ_0 を用いて書込み、リードモード時に記憶した

信号をクロック ϕ_1 を用いて読出すようになっている。

【0043】図2は図1中のメモリ73、74の書込み及び読出しを説明するためのタイミングチャートである。図2(a)は元HDTV信号を示し、図2(b)はメモリ73の書込み制御を示し、図2(c)はメモリ73の読出し制御を示し、図2(d)はメモリ74の書込み制御を示し、図2(e)はメモリ74の読出し制御を示し、図2(f)はHDTV信号を示している。図2中の期間T1は1フレーム又は1フィールド期間に相当し、期間T2は1ライン期間に相当する。また、期間T3は映像信号期間に相当し、期間T4はブランキング期間に相当する。

【0044】メモリ73、74は、夫々図2(b)、(d)に示す書込み制御信号の“H”でライトイネーブルとなり、図2(c)、(e)に示す読出し制御信号の“H”でリードイネーブルとなるようになっている。

【0045】図2(a)に示す元HDTV信号は、メモリ制御回路75によって、図2の期間T1に例えばメモリ73に書込まれる。クロック ϕ_0 は元HDTV信号の画素数に対応しており、図2(b)に示すように、メモリ73は、クロック ϕ_0 を用いることで元HDTV信号の1フレーム又は1フィールド分の全画素データを記憶する。同様に、メモリ73の読出し期間に、図2(d)に示すように、メモリ74は元HDTV信号の1フレーム又は1フィールド分の全画素データを記憶する。

【0046】メモリ73、74に記憶されたデータは、図2(c)、(e)に示す読出し制御信号の“H”期間に読出される。読出し制御信号の“H”期間T6は、SDTV信号の水平及び垂直に2倍の画素数で構成されたHDTV信号（水平画素数 $P=1716$ 、水平有効画素数 $p=1440$ 、垂直ライン数 $Q=1050$ 、垂直有効ライン数 $q=960$ ）における1ライン分の映像信号に相当する。

【0047】メモリ73、74からは、クロック ϕ_0 、 ϕ_1 の周波数の比に基づいて、元HDTV信号の $m(1920) \times n(1035)$ の有効画素のうち、 $p(1440) \times n(1035)$ の画素データが読出される。即ち、メモリ73、74の読出しによって水平方向に間引きが行われ、垂直方向には間引きが行われない。しかし、クロック ϕ_0 、 ϕ_1 の周波数比に基づいて、メモリ73、74からは垂直方向には1050ライン分の画素データしか読出すことはできない。この場合でも、元HDTV信号の垂直有効ライン(1035本)のデータは全て読出される。

【0048】プリ処理部71の出力は解像度変換後のHDTV信号として階層符号化部1に出力される。なお、期間T5はHDTV信号の1ライン期間、期間T6は映像信号期間、期間T7はブランキング期間に相当する。こうして、プリ処理部71によって、水平画素数 $K=1716$ 、水平有効画素数 $p=1440$ 、垂直ライン数 $L=1$

050、垂直有効ライン数 $n=1035$ 、フレーム周波数 $f_0=30\text{Hz}$ のHDTV信号が得られる。

【0049】これに対し、従来例のプリ処理部6は、上述したように、元HDTV信号を水平及び垂直方向の画素数がSDTV信号の2倍であるHDTV信号（水平画素数 $P=1716$ 、水平有効画素数 $p=1440$ 、垂直ライン数 $Q=1050$ 、垂直有効ライン数 $q=960$ ）に変換していた。

【0050】即ち、本実施例のプリ処理部71においては、水平方向の解像度変換処理は従来例と同様であり、

$$K \times L = P \times Q, \quad p \times n < P \times Q < m \times n \quad \cdots (1)$$

階層符号化部1は図13に示した従来の構成と同様である。即ち、階層符号化部1は、水平画素数 $P=1716$ 、水平有効画素数 $p=1440$ 、垂直ライン数 $Q=1050$ 、垂直有効ライン数 $q=960$ 、フレーム周波数 f_0 のHDTV信号を処理する能力を有している。つまり、階層符号化部1は、サンプリング周波数 $f_s = P \times Q \times f_0$ でサンプリングした信号を処理する能力を有し、SDTV信号の水平及び垂直に2倍の解像度を有する信号を処理する。

【0052】階層符号化部1のダウンサンプリング回路5の構成は図15と同一である。即ち、ダウンサンプリング回路5は、入力されたHDTV信号の画素数に基づく周波数のクロック ϕ_1 を用いて、入力されたHDTV信号の水平及び垂直帯域を低減する水平ローパスフィルタ31及び垂直ローパスフィルタ32を有している。また、ダウンサンプリング回路5は、メモリ33、34を有し、クロック ϕ_1 を用いてHDTV信号をメモリ33、34に書き込み、SDTV信号の画素数に基づく周波数のクロック ϕ_2 を用いてメモリ34、35から読出しを行うメモリ制御回路35を有している。これにより、ダウンサンプリング回路5はHDTV信号をSDTV信号に変換して符号化器7に出力するようになっている。

【0053】即ち、ダウンサンプリング回路5のメモリ33、34は、水平方向には入力されたHDTV信号の全水平有効画素 $p=1440$ を保持する。一方、メモリ33、34は、垂直方向には、入力されたHDTV信号の全垂直有効ライン数 $n=1035$ のうちの垂直有効ライン数 $q=960$ を保持する。即ち、SDTV信号の水平及び垂直画素数の2倍の $p \times q$ の部分のみのデータを保持する。従って、入力されたHDTV信号の例えば上下の $p \times (n-q)$ の部分のデータはSDTV信号に変換される際に切り捨てられる。

【0054】メモリ制御回路35は、メモリ33、34に格納されたデータのうち、水平有効画素数 $u (=720 < p)$ 、垂直有効ライン数 $v (=480 < q)$ のデータを読出す。この間引きによって、ダウンサンプリング回路5は、水平画素数 $U=858$ 、水平有効画素数 $u=720$ 、垂直ライン数 $V=525$ 、垂直有効ライン数 $v=480$ 、フレーム周波数 $f_0=30\text{Hz}$ のSDTV信号を

変換後のHDTV信号の水平画素数は $K=P=1716$ で、水平有効画素数 p は 1440 である。一方、垂直方向については、元HDTV信号をそのまま読出しており、変換後のHDTV信号の垂直ライン数は $Q=K (=1050)$ であるが、垂直有効ライン数は $q (=960)$ ではなく $n (=1035)$ である。つまり、下記式(1)が成立する。なお、水平方向にのみ間引きを行っているので、変換後の画像は縦長の画像となる。

【0051】

得る。

【0055】符号化器7はバッファ8から出力される制御信号によって制御され、クロック発生回路15から出力されるクロック ϕ_2 で動作してSDTV信号を符号化する。符号化器7の符号化出力はバッファ8及び復号化器10に与えられる。バッファ8はクロック発生回路15から出力されるクロック ϕ_2 でSDTV信号の符号化出力を取込み、クロック ϕ_3 に基づく一定レートの信号をMPX9に出力する。

【0056】復号化器10は、クロック発生回路15から出力されるクロック ϕ_2 で動作して、SDTVの符号化出力を復号化してアップサンプリング回路11に出力する。アップサンプリング回路11の構成は図16と同一である。

【0057】アップサンプリング回路11は、SDTV信号の画素数に基づく周波数のクロック ϕ_2 を用いて、復号化器10からのSDTV信号をメモリに格納し、HDTV信号の画素数に基づく周波数のクロック ϕ_1 を用いて、メモリからデータを読出す。アップサンプリング回路11は、メモリから読出したデータを水平及び垂直に帯域制限して補間する。こうして、アップサンプリング回路11からは水平画素数 $K (>U)$ 、水平有効画素数 $p (>u)$ 、垂直ライン数 $L (>V)$ 、垂直有効ライン数 $q (>v)$ 、フレーム周波数 f_0 のHDTV信号の低域成分が得られる。アップサンプリング回路11からの低域HDTV信号は減算器12に与えられる。

【0058】減算器12にはプリ処理部71からのHDTV信号も与えており、減算器12はHDTV信号から低域HDTV信号を減算することにより、HDTV信号の高域成分を得て符号化器13に出力する。プリ処理部71からのHDTV信号は、上述したように、水平画素数 $K=1716$ 、水平有効画素数 $p=1440$ 、垂直ライン数 $L=1050$ 、垂直有効ライン数 $n=1035$ 、フレーム周波数 $f_0=30\text{Hz}$ の全帯域の信号であり、アップサンプリング回路11からの低域HDTV信号は、水平画素数 $K=1716$ 、水平有効画素数 $p=1440$ 、垂直ライン数 $L=1050$ 、垂直有効ライン数 $q=960$ 、フレーム周波数 $f_0=30\text{Hz}$ の信号の低域成分である。即ち、減算器12の出力は、HDTV信号の有効画素 $p (=$

1440) × n (1035) のうち $p \times q$ (960) の部分については、高域HDTV信号となり、残りの p (1440) × (n - q) (75) の部分は低域も含む全帯域のHDTV信号となる。

【0059】減算器12からの低域を含む高域HDTV信号は符号化器13に与えられる。符号化器13は、バッファ14から出力される制御信号によって制御され、クロック発生回路15から出力されるクロック $\phi 1$ で動作して低域を含む高域HDTV信号を符号化してバッファ14に出力する。バッファ14は、クロック発生回路15から出力されるクロック $\phi 1$ で低域を含む高域HDTV信号の符号化出力を取込み、クロック $\phi 4$ に基づく一定レートで信号を出力する。バッファ14の出力はMPX9に与えられる。

【0060】MPX9は、バッファ8からの低域HDTV信号の符号化出力とバッファ14からの低域を含む高域HDTV信号の符号化出力とを多重して伝送系3に送出する。MPX9の出力は伝送系3を介して階層復号化部2及びクロック再生回路24に輸入される。クロック再生回路24は、入力された信号からクロック $\phi 0$ 、 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ 、 $\phi 4$ を発生する。

【0061】階層復号化部2の構成は従来と同一である。

【0062】即ち、階層復号化部2のDEMPX17は、入力された信号を低域を含む高域HDTV信号の符号化出力とSDTV信号の符号化出力とに分離する。SDTV信号の符号化出力はバッファ18を介して復号化器19に与えられる。バッファ18は、クロック再生回路24から出力されるクロック $\phi 3$ で信号を取込み、クロック $\phi 2$ で信号を出力する。復号化器19は、クロック再生回路24から出力されるクロック $\phi 2$ で動作し、SDTV信号の符号化出力を復号化する。復号されたSDTV信号は水平画素数 $U = 858$ 、水平有効画素数 $u = 720$ 、垂直ライン数 $V = 525$ 、垂直有効ライン数 $v = 480$ 、フレーム周波数 $f_0 = 30\text{Hz}$ である。復号化器19からのSDTV信号はアップサンプリング回路20に与えられると共に、垂直 $n \rightarrow q$ 変換回路86にも与えられる。

【0063】垂直 $n \rightarrow q$ 変換回路86は、クロック再生回路24から出力されるクロック $\phi 2$ で動作し、復号化器19からのSDTV信号に対して n 本の走査線を q 本の走査線に変換する走査線数変換を行う。これにより、垂直 $n \rightarrow q$ 変換回路86の出力信号は、水平画素数 $U = 858$ 、水平有効画素数 $u = 720$ 、垂直ライン数 $V = 525$ 、垂直有効ライン数 $v \times q / n = 445$ 、フレーム周波数 $f_0 = 30\text{Hz}$ のSDTV信号に変換されて垂直方向に伸びた画像は正常な画像に戻る。

【0064】垂直 $n \rightarrow q$ 変換回路86の出力はSDTV用モニター27に与えられて、表示画面に映出される。なお、このSDTV画像は元HDTV画像の例えば上下が若干欠けたものである。また、SDTV用モニター27が垂直偏

向を制御可能である場合には、垂直 $n \rightarrow q$ 変換回路86を省略して、復号化器19の出力を直接SDTV用モニター27に与えて、正常な画像を映出させてもよい。

【0065】一方、アップサンプリング回路20は、送信側のアップサンプリング回路11と同一構成であり、入力されたSDTV信号をアップサンプリングすることにより、SDTV信号の水平及び垂直に2倍の画素数のHDTV信号の低域成分を再生する。アップサンプリング回路20の出力は、水平画素数 $K (= 1716 > U)$ 、水平有効画素数 $p (= 1440 > u)$ 、垂直ライン数 $L (= 1050 > V)$ 、垂直有効ライン数 $q (= 960 > v)$ 、フレーム周波数 $f_0 = 30\text{Hz}$ のHDTV信号の低域成分である。アップサンプリング回路20の出力は加算器21に与えられる。

【0066】また、バッファ22は、クロック再生回路24から出力されるクロック $\phi 4$ で低域を含む高域HDTV信号の符号化出力を取込み、クロック $\phi 1$ で復号化器23に出力する。復号化器23は、クロック再生回路24から出力されるクロック $\phi 1$ で動作し、入力された信号を復号化することにより、低域を含む高域HDTV信号を再生して加算器21に与える。

【0067】加算器21はアップサンプリング回路20からの低域HDTV信号と復号化器23からの低域を含む高域HDTV信号とを加算する。アップサンプリング回路20からの低域HDTV信号は水平画素数 $K = 1716$ 、水平有効画素数 $p = 1440$ 、垂直ライン数 $L = 1050$ 、垂直有効ライン数 $q = 960$ 、フレーム周波数 $f_0 = 30\text{Hz}$ の低域成分の信号であり、HDTV信号の例えば上下の75ライン分は欠けている。一方、復号化器23からの低域を含む高域HDTV信号は、水平画素数 $K = 1716$ 、水平有効画素数 $p = 1440$ 、垂直ライン数 $L = 1050$ 、垂直有効ライン数 $n = 1035$ 、フレーム周波数 $f_0 = 30\text{Hz}$ の信号であり、有効画素 $p \times n$ (1440 × 1035) のうち $p \times q$ (1440 × 960) の部分はHDTV信号の高域成分であり、残りの $p \times (n - q)$ (1440 × 75) の部分は全帯域のHDTV信号である。従って、加算器21の加算結果は有効画素数 $p \times n$ の全帯域のHDTV信号となる。

【0068】階層復号化部2からのHDTV信号はポスト処理部81に与えられる。ポスト処理部81は、メモリ82、83、メモリ制御回路84及び水平ローパスフィルタ85によって構成されている。ポスト処理部81はHDTV信号に対するアップサンプリング処理によって、元HDTV信号を再生するようになっている。

【0069】HDTV信号はメモリ82及びメモリ83に与えられる。メモリ82、83はメモリ制御回路84によって書込み及び読出しが制御される。メモリ制御回路84は、クロック再生回路24から出力されるクロック $\phi 0$ で動作して、メモリ82、83の一方をリードモードとし他方をライトモードとするようになっている。メモリ82、83は、ラ

イトモード時に、入力された信号をクロック $\phi 1$ を用いて書込み、リードモード時に記憶した信号をクロック $\phi 0$ を用いて読出すようになっている。

【0070】図3は図1中のメモリ82、83の書込み及び読出しを説明するためのタイミングチャートである。図3(a)はHDTV信号を示し、図3(b)はメモリ82の書込み制御を示し、図3(c)はメモリ82の読出し制御を示し、図3(d)はメモリ83の書込み制御を示し、図3(e)はメモリ83の読出し制御を示し、図3(f)は元HDTV信号を示している。図3中の期間T1は1フレーム又は1フィールド期間に相当し、期間T2は1ライン期間に相当する。また、期間T3は映像信号期間に相当し、期間T4はブランキング期間に相当する。

【0071】メモリ82、83は、夫々図3(b)、(d)に示す書込み制御信号の“H”でライトイネーブルとなり、図3(c)、(e)に示す読出し制御信号の“H”でリードイネーブルとなるようになっている。

【0072】図3(a)に示すHDTV信号は、メモリ制御回路84によって、図3の期間T1に例えばメモリ82に書込まれる。クロック $\phi 1$ はHDTV信号の画素数に対応しており、図3(b)に示すように、メモリ82は、クロック $\phi 1$ を用いることでHDTV信号の1フレーム又は1フィールド分の全画素データを記憶する。同様に、メモリ82の読出し期間に、図3(d)に示すように、メモリ83はHDTV信号の1フレーム又は1フィールド分の全画素データを記憶する。

【0073】メモリ82、83に記憶されたデータは、図3(c)、(e)に示す読出し制御信号の“H”期間に読出される。読出し制御信号の“H”期間T6は、元HDTV信号(水平画素数 $M=2200$ 、水平有効画素数 $m=1920$ 、垂直ライン数 $N=1125$ 、垂直有効ライン数 $n=1035$)における1ライン分の映像信号に相当する。

【0074】メモリ82、83からは、クロック $\phi 0$ 、 $\phi 1$ の周波数の比に基づいて、HDTV信号の有効画素 $p(1440) \times n(1035)$ の画素データに0データが挿入されながら読出しが行われる。これにより、メモリ82、83のデータは $m(1920) \times n(1035)$ の画素データに変換される。メモリ82、83から読出された信号は水平ローパスフィルタ85に与えられる。水平ローパスフィルタ85は低域のみを通過させる。こうして、メモリ82、83の読出し及び水平帯域制限によって水平方向の補間が行われる。

【0075】ポスト処理部81は水平ローパスフィルタ85の出力を元HDTV信号として出力する。なお、期間T5は元HDTV信号の1ライン期間、期間T6は映像信号期間、期間T7はブランキング期間に相当する。こうして、ポスト処理部81によって、水平画素数 $M=2200$ 、水平有効画素数 $m=1920$ 、垂直ライン数 $N=1125$ 、垂直有効ライン数 $n=1035$ 、フレーム周波

数 $f_0=30\text{Hz}$ の元HDTV信号が再生される。この元HDTV信号はHDTV用モニタ26に与えられる。HDTV用モニタ26は表示画面上に有効画素数が $m \times n(1920 \times 1035)$ の元HDTV画像を映出させる。

【0076】次に、このように構成された実施例の動作について図4の説明図を参照して説明する。図4(a)は元HDTV信号を示し、図4(b)はプリ処理部71からのHDTV信号を示し、図4(c)はSDTV信号の水平及び垂直に2倍の解像度を有するHDTV信号を示し、図4(d)は減算器12からの低域を含む高域HDTV信号を示し、図4(e)はダウンサンプリング回路5又は復号化器19からのSDTV信号を示し、図4(f)はアップサンプリング回路11、20からの低域HDTV信号を示している。また、図4の網線は全帯域の成分を示し、右斜め斜線は低域成分を示し、左斜め斜線は高域成分を示している。

【0077】図4(a)に示す水平画素数 $M=2200$ 、水平有効画素数 $m=1920$ 、垂直ライン数 $N=1125$ 、垂直有効ライン数 $n=1035$ 、フレーム周波数 $f_0=30\text{Hz}$ の元HDTV信号は入力端子4を介してプリ処理部71に与えられる。プリ処理部71の水平ローパスフィルタ72は元HDTV信号の水平帯域を制限してメモリ73、74に出力する。メモリ制御回路75は、クロック $\phi 0$ を用いて、メモリ73、74に元HDTV信号を書込む。

【0078】メモリ制御回路75はメモリ73、74に格納されたデータをクロック $\phi 1$ を用いて読出す。クロック $\phi 0$ 、 $\phi 1$ の周波数比に基づいて水平方向の間引きが行われる。即ち、メモリ制御回路75は、メモリ73、74に書込まれた元HDTV信号の $m \times n(1920 \times 1035)$ の有効画素のうち、 $p \times n(1440 \times 1035)$ の部分の画素データのみを読出す。これにより、図4(b)に示すHDTV信号(水平画素数 $K=1716$ 、水平有効画素数 $p=1440$ 、垂直ライン数 $L=1050$ 、垂直有効ライン数 $n=1035$ 、フレーム周波数 $f_0=30\text{Hz}$)が得られる。解像度変換は水平方向のみ行い、垂直方向には間引きを行っていないので、プリ処理部71からのHDTV信号は図4(b)に示すように、縦長の画像となる。

【0079】階層符号化部1のダウンサンプリング回路5は、このHDTV信号をダウンサンプリング処理する。ダウンサンプリング回路5は、SDTV信号の水平及び垂直に2倍の解像度の信号を処理する能力を有している。即ち、ダウンサンプリング回路5のメモリ33、34(図15参照)は、図4(c)に示すHDTV信号(水平画素数 $P=1716$ 、水平有効画素数 $p=1440$ 、垂直ライン数 $Q=1050$ 、垂直有効ライン数 $q=960$ 、フレーム周波数 $f_0=30\text{Hz}$)の低域成分を記憶する。

【0080】 $K \times L = P \times Q$ であり、メモリ33、34は、

入力されたHDTV信号の 1440×75 に対応する部分を除く $p \times q$ の部分のHDTV信号を記憶することになる。ダウンサンプリング回路5は、メモリに記憶させたこのHDTV信号をクロック $\phi 2$ で読出すことにより、水平及び垂直解像度を $1/2$ にした図4(e)に示すSDTV信号(水平画素数 $U=858$ 、水平有効画素数 $u=720$ 、垂直ライン数 $V=525$ 、垂直有効ライン数 $v=480$ 、フレーム周波数 $f_0=30\text{Hz}$)に変換して符号化器7に出力する。符号化器7はバッファ8から出力される制御信号によって制御されて、SDTV信号を符号化し、符号化出力をバッファ8を介してMPX9に出力する。

【0081】一方、復号化器10は符号化器7からの符号化出力を復号化してSDTV信号を再生してアップサンプリング回路11に出力する。アップサンプリング回路11はアップサンプリング処理、即ち、補間処理によって、SDTV信号を水平画素数 $K=1716$ 、水平有効画素数 $p=1440$ 、垂直ライン数 $L=1050$ 、垂直有効ライン数 $q=960$ 、フレーム周波数 $f_0=30\text{Hz}$ の信号に変換する。この信号は、図4(f)に示すように、HDTV信号の低域成分に対応する。

【0082】アップサンプリング回路11からの低域HDTV信号(有効画素 $p \times q$)は減算器12に与えられる。減算器12にはプリ処理部71から図4(b)に示す有効画素が $p \times n$ の全帯域のHDTV信号も与えられている。減算器12は全帯域のHDTV信号から低域HDTV信号を減算する。有効画素 $p \times q$ の部分については全帯域のHDTV信号と低域HDTV信号との減算によって、高域HDTV信号(図4(d)の左斜め斜線部)が得られる。しかし、低域HDTV信号は $p \times (n-q)$ の部分を持っていないので、この部分については全帯域のHDTV信号(図4(d)の網線部)が得られる。こうして、減算器12は低域を含む高域HDTV信号を出力する。

【0083】この低域を含む高域HDTV信号を符号化器13によって符号化した後、バッファ14を介してMPX9に出力する。MPX9はSDTV信号の符号化出力と低域を含む高域HDTV信号の符号化出力とを多重して伝送路3に送出する。

【0084】伝送系3からの信号は階層復号化部2に入力される。階層復号化部2のDEMPX17はSDTV信号の符号化出力と低域を含む高域HDTV信号の符号化出力とを分離する。SDTV信号の符号化出力は、バッファ18を介して復号化器19に供給されて復号化される。これにより、図4(e)に示すSDTV信号が再生される。

【0085】このSDTV信号は縦長の画像であるので、垂直 $n \rightarrow q$ 変換回路86に与えて元の正常な画像に戻した後に、SDTV用モニタ27に与える。こうして、SDTV用モニタ27の表示画面上には有効画素数が $u \times v$

(720×480)のSDTV画像が映出される。なお、この画像はHDTV画像の例えば上下が75ライン欠けたものに対応しているが、視覚上の悪影響は比較的小さい。

【0086】復号化器19からのSDTV信号はアップサンプリング回路20にも与えられる。アップサンプリング回路20はアップサンプリング処理によって、図4(f)に示す低域HDTV信号(水平画素数 $K=1716$ 、水平有効画素数 $p=1440$ 、垂直ライン数 $L=1050$ 、垂直有効ライン数 $q=960$ 、フレーム周波数 $f_0=30\text{Hz}$ の信号の低域成分)を再生する。低域HDTV信号は加算器21に与えられる。

【0087】一方、DEMPX17からの低域を含む高域HDTV信号はバッファ22を介して復号化器23に与えられる。復号化器23は復号化処理によって低域を含む高域HDTV信号(図4(d))を再生する。加算器21は低域HDTV信号と低域を含む高域HDTV信号とを加算することにより、図4(b)に示す水平画素数 $K=1716$ 、水平有効画素数 $p=1440$ 、垂直ライン数 $L=1050$ 、垂直有効ライン数 $n=1035$ 、フレーム周波数 $f_0=30\text{Hz}$ の全帯域のHDTV信号を再生して、ポスト処理部81に出力する。

【0088】ポスト処理部81は、メモリ82、83に対する書込み及び読出しを制御することにより、入力されたHDTV信号の水平方向の解像度を変換する。即ち、メモリ82、83の書込みをクロック $\phi 1$ を用いて行い、読出しをクロック $\phi 0$ を用いて行う。読出し時にはHDTV信号の $p \times n$ (1440×1035)の画素データに0データを挿入して $m \times n$ (1920×1035)画素とする。水平ローパスフィルタ85はメモリ82、83から読出したデータを帯域制限する。これにより、水平方向の画素が補間されて、図4(a)に示す元HDTV信号(水平画素数 $M=2200$ 、水平有効画素数 $m=1920$ 、垂直ライン数 $N=1125$ 、垂直有効ライン数 $n=1035$ 、フレーム周波数 $f_0=30\text{Hz}$)が得られる。水平方向の解像度を変換することにより、画像は正常な画像に戻る。また、再生された元HDTV信号は、再生されたSDTV信号と異なり、画像が欠けていない。元HDTV信号はHDTV用モニタ26に与えて有効画素数 $m \times n$ の元HDTV画像を表示させる。

【0089】このように、本実施例においては、プリ処理部71において水平方向の解像度のみを変換するようにしている。このため、階層符号化におけるダウンサンプリングによって、垂直方向については画像に欠けが生じるが、SDTV画像としての画面品位が著しく劣化することはない。また、この欠けた部分は高域HDTV信号と共に優先度が低い階層の符号化出力として伝送しており、受信側で低域HDTV信号と加算することにより元のHDTV画像を再現することができる。プリ処理部71において垂直方向の解像度変換を行っていないことが

ら、垂直ローパスフィルタを省略することができ、また、同様に、ポスト処理部においても垂直ローパスフィルタを省略することができ、回路規模を著しく低減することができる。

【0090】図5は本発明の他の実施例を示すブロック図である。図5において図1と同一の構成要素には同一符号を付して説明を省略する。本実施例はプリ処理部及びポスト処理部において垂直方向の解像度変換のみを行うことにより、水平ローパスフィルタを省略可能にしたものである。

【0091】本実施例はプリ処理部71に代えてプリ処理部91を用い、ポスト処理部81に代えてポスト処理部101を用い、垂直 $n \rightarrow q$ 変換回路86に代えて水平 $m \rightarrow p$ 変換回路106を用い、クロック発生回路15に代えてクロック発生回路90を用いた点が図1の実施例と異なる。

【0092】入力端子4には水平画素数がM、水平有効画素数がm、垂直ライン数がN、垂直有効ライン数がn、フレーム周波数がf0の元HDTV信号が入力される。この元HDTV信号はプリ処理部91に与えられる。プリ処理部91は垂直ローパスフィルタ92、メモリ93、94及びメモリ制御回路95によって構成されている。クロック発生回路90は入力端子16を介して入力される同期信号に基づいて、クロック $\phi 0$ 乃至 $\phi 4$ を発生するようになっている。なお、クロック $\phi 0$ 乃至 $\phi 4$ は入力端子4を介して入力する元HDTV信号の画素数に基づくものとなっており、図1の実施例におけるクロック $\phi 0$ 乃至 $\phi 4$ とは異なる。

【0093】垂直ローパスフィルタ92はクロック発生回路90からのクロック $\phi 0$ で動作して、元HDTV信号の帯域を制限してメモリ93、94に出力するようになっている。メモリ93、94はメモリ制御回路95によって書込み及び読出しが制御される。メモリ制御回路95は、クロック発生回路90から出力されるクロック $\phi 0$ で動作して、メモリ93、94の一方をリードモードにしたときには他方をライトモードにするようになっている。メモリ93、94は、ライトモード時に、入力された信号をクロック $\phi 0$ を用いて書込み、リードモード時に記憶した信号をクロック $\phi 1$ を用いて読出すようになっている。

【0094】図6は図5中のメモリ93、94の書込み及び読出しを説明するためのタイミングチャートである。図6(a)は元HDTV信号を示し、図6(b)はメモリ93の書込み制御を示し、図6(c)はメモリ93の読出し制御を示し、図6(d)はメモリ94の書込み制御を示し、図6(e)はメモリ94の読出し制御を示し、図6(f)はHDTV信号を示している。図6中の期間T1は1フレーム又は1フィールド期間に相当し、期間T2は1ライン期間に相当する。また、期間T3は映像信号期間に相当し、期間T4はブランキング期間に相当す

る。

【0095】メモリ93、94は、夫々図6(b)、(d)に示す書込み制御信号の“H”でライトイネーブルとなり、図6(c)、(e)に示す読出し制御信号の“H”でリードイネーブルとなるようになっている。

【0096】図6(a)に示す元HDTV信号は、メモリ制御回路95によって、図6の期間T1に例えばメモリ93に書込まれる。クロック $\phi 0$ は元HDTV信号の画素数に対応しており、図2(b)に示すように、メモリ93は、クロック $\phi 0$ を用いることで元HDTV信号の1フレーム又は1フィールド分の全画素データを記憶する。同様に、メモリ93の読出し期間に、図6(d)に示すように、メモリ94は元HDTV信号の1フレーム又は1フィールド分の全画素データを記憶する。

【0097】メモリ93、94に記憶されたデータは、図6(c)、(e)に示す読出し制御信号の“H”期間に読出される。読出し制御信号の“H”期間T6は、SDTV信号の水平及び垂直に2倍の画素数で構成されたHDTV信号(水平画素数P、水平有効画素数p、垂直ライン数Q、垂直有効ライン数qにおける1ライン分の映像信号に相当する。

【0098】メモリ93、94からは、クロック $\phi 0$ 、 $\phi 1$ の周波数の比に基づいて、元HDTV信号の $m \times n$ の有効画素のうち、 $m \times q$ の画素データが読出される。即ち、メモリ93、94の読出しによって垂直方向に間引きが行われる。なお、水平方向には間引きを行わない。

【0099】プリ処理部91の出力は解像度変換後のHDTV信号として階層符号化部1に出力される。なお、期間T5はHDTV信号の1ライン期間、期間T6は映像信号期間、期間T7はブランキング期間に相当する。こうして、プリ処理部71によって、水平画素数K、水平有効画素数m、垂直ライン数L、垂直有効ライン数q、フレーム周波数f0のHDTV信号が得られる。

【0100】これに対し、従来例のプリ処理部6は、上述したように、元HDTV信号を水平及び垂直方向の画素数がSDTV信号の2倍であるHDTV信号(水平画素数P、水平有効画素数p、垂直ライン数Q、垂直有効ライン数q)に変換していた。

【0101】即ち、本実施例のプリ処理部71においては、垂直方向の解像度変換処理は従来例と同様であり、変換後のHDTV信号の垂直画素数は $L=Q$ で、垂直有効画素数はqである。一方、水平方向については、元HDTV信号をそのまま読出ししており、変換後のHDTV信号の水平ライン数は $K=P$ であるが、水平有効ライン数はpでなくmである。つまり、下記式(2)が成立する。なお、垂直方向にのみ間引きを行っているため、変換後の画像は縦長の画像となる。

【0102】

$$K \times L = P \times Q, m \times q < P \times Q < m \times n \quad \dots (2)$$

階層復号化部2からのHDTV信号はポスト処理部101

に与えられる。ポスト処理部101は、メモリ102、103

、メモリ制御回路104及び垂直ローパスフィルタ105によって構成されている。ポスト処理部101はHDTV信号に対するアップサンプリング処理によって、元HDTV信号を再生するようになっている。

【0103】即ち、HDTV信号はメモリ102及びメモリ103に与えられる。メモリ102、103はメモリ制御回路104によって書き込み及び読出しが制御される。メモリ制御回路104は、クロック再生回路24から出力されるクロック $\phi 0$ で動作して、メモリ102、103の一方をリードモードとし他方をライトモードとするようになっている。メモリ102、103は、ライトモード時に、入力された信号をクロック $\phi 1$ を用いて書き込み、リードモード時に記憶した信号をクロック $\phi 0$ を用いて読出すようになっている。

【0104】図7は図5中のメモリ102、103の書き込み及び読出しを説明するためのタイミングチャートである。図7(a)はHDTV信号を示し、図7(b)はメモリ102の書き込み制御を示し、図7(c)はメモリ102の読出し制御を示し、図7(d)はメモリ103の書き込み制御を示し、図7(e)はメモリ103の読出し制御を示し、図7(f)は元HDTV信号を示している。図7中の期間T1は1フレーム又は1フィールド期間に相当し、期間T2は1ライン期間に相当する。また、期間T3は映像信号期間に相当し、期間T4はブランキング期間に相当する。

【0105】メモリ102、103は、夫々図7(b)、(d)に示す書き込み制御信号の“H”でライトイネーブルとなり、図7(c)、(e)に示す読出し制御信号の“H”でリードイネーブルとなるようになっている。

【0106】図7(a)に示すHDTV信号は、メモリ制御回路104によって、図7の期間T1に例えばメモリ102に書き込まれる。クロック $\phi 1$ はHDTV信号の画素数に対応しており、図7(b)に示すように、メモリ102は、クロック $\phi 1$ を用いることでHDTV信号の1フレーム又は1フィールド分の全画素データを記憶する。同様に、メモリ102の読出し期間に、図7(d)に示すように、メモリ103はHDTV信号の1フレーム又は1フィールド分の全画素データを記憶する。

【0107】メモリ102、103に記憶されたデータは、図7(c)、(e)に示す読出し制御信号の“H”期間に読出される。読出し制御信号の“H”期間T6は、元HDTV信号(水平画素数M、水平有効画素数m、垂直ライン数N、垂直有効ライン数n)における1ライン分の映像信号に相当する。

【0108】メモリ102、103からは、クロック $\phi 0$ 、 $\phi 1$ の周波数の比に基づいて、HDTV信号の有効画素 $m \times q$ の画素データに0データが挿入されながら読出しが行われる。これにより、メモリ102、103のデータは $m \times n$ の画素データに変換される。メモリ102、103から読出された信号は垂直ローパスフィルタ105に与えら

れる。垂直ローパスフィルタ105は低域のみを通過させる。こうして、メモリ102、103の読出し及び垂直帯域制限によって垂直方向の補間が行われる。

【0109】ポスト処理部101は垂直ローパスフィルタ105の出力を元HDTV信号として出力する。なお、期間T5は元HDTV信号の1ライン期間、期間T6は映像信号期間、期間T7はブランキング期間に相当する。こうして、ポスト処理部101によって、水平画素数M、水平有効画素数m、垂直ライン数N、垂直有効ライン数n、フレーム周波数f0の元HDTV信号が再生される。この元HDTV信号はHDTV用モニタ26に与えられる。

【0110】水平 $m \rightarrow p$ 変換回路106は、クロック再生回路24から出力されるクロック $\phi 2$ で動作し、復号化器19からのSDTV信号に対してm個の画素をp個の画素に変換する走査線数変換を行う。これにより、水平 $m \rightarrow p$ 変換回路106の出力信号は、水平画素数U、水平有効画素数 $u \times p / m$ 、垂直ライン数V、垂直有効ライン数v、フレーム周波数f0のSDTV信号に変換されて水平方向に伸びた画像が正常な画像に戻される。なお、このSDTV画像は入力されたHDTV画像の例えば左右が若干欠けたものとなる。また、SDTV用モニタ27が水平偏向を制御可能である場合には、水平 $m \rightarrow p$ 変換回路106を省略して、復号化器19の出力を直接SDTV用モニタ27に与えて、正常な画像を映出させてもよい。

【0111】次に、このように構成された実施例の動作について図8の説明図を参照して説明する。図8(a)は元HDTV信号を示し、図8(b)はプリ処理部91からのHDTV信号を示し、図8(c)はSDTV信号の水平及び垂直に2倍の解像度を有するHDTV信号を示し、図8(d)は減算器12からの低域を含む高域HDTV信号を示し、図8(e)はダウンサンプリング回路5又は復号化器19からのSDTV信号を示し、図8(f)はアップサンプリング回路11、20からの低域HDTV信号を示している。また、図8の網線は全帯域の成分を示し、右斜め斜線は低域成分を示し、左斜め斜線は高域成分を示している。

【0112】図8(a)に示す水平画素数がM、水平有効画素数がm、垂直ライン数がN、垂直有効ライン数がn、フレーム周波数がf0の元HDTV信号は入力端子4を介してプリ処理部91に与えられる。プリ処理部91の垂直ローパスフィルタ92は元HDTV信号の垂直帯域を制限してメモリ93、94に出力する。メモリ制御回路95は、クロック $\phi 0$ を用いて、メモリ93、94に元HDTV信号を書込む。

【0113】メモリ制御回路95はメモリ93、94に格納されたデータをクロック $\phi 1$ を用いて読出す。クロック $\phi 0$ 、 $\phi 1$ の周波数比に基づいて垂直方向の間引きが行われる。即ち、メモリ制御回路95は、メモリ93、94に書込まれた元HDTV信号の $m \times n$ の有効画素のうち、 $m \times$

qの部分の画素データのみを読出す。これにより、図8(b)に示すHDTV信号(水平画素数K、水平有効画素数m、垂直ライン数L、垂直有効ライン数q、フレーム周波数f0)が得られる。解像度変換は垂直方向のみ行い、水平方向には間引きを行っていないので、プリ処理部91からのHDTV信号は図8(b)に示すように、横長の画像となる。

【0114】階層符号化部1のダウンサンプリング回路5は、このHDTV信号をダウンサンプリング処理する。ダウンサンプリング回路5は、SDTV信号の水平及び垂直に2倍の解像度の信号を処理する能力を有している。即ち、ダウンサンプリング回路5のメモリ33、34(図15参照)は、図8(c)に示すHDTV信号(水平画素数P、水平有効画素数p、垂直ライン数Q、垂直有効ライン数q、フレーム周波数f0)の低域成分を記憶する。

【0115】 $K \times L = P \times Q$ であり、メモリ33、34は、入力されたHDTV信号の $(m-p) \times q$ に対応する部分を除く $p \times q$ の部分のHDTV信号を記憶することになる。ダウンサンプリング回路5は、メモリに記憶させたこのHDTV信号をクロックφ2で読出すことにより、水平及び垂直解像度を1/2にした図8(e)に示すSDTV信号(水平画素数U、水平有効画素数u、垂直ライン数V、垂直有効ライン数v、フレーム周波数f0)に変換して符号化器7に出力する。符号化器7はバッファ8から出力される制御信号によって制御されて、SDTV信号を符号化し、符号化出力をバッファ8を介してMPX9に出力する。

【0116】一方、復号化器10は符号化器7からの符号化出力を復号化してSDTV信号を再生してアップサンプリング回路11に出力する。アップサンプリング回路11はアップサンプリング処理、即ち、補間処理によって、SDTV信号を水平画素数K、水平有効画素数p、垂直ライン数L、垂直有効ライン数q、フレーム周波数f0の信号に変換する。この信号は、図8(f)に示すように、HDTV信号の低域成分に対応する。

【0117】アップサンプリング回路11からの低域HDTV信号(有効画素 $p \times q$)は減算器12に与えられる。減算器12にはプリ処理部91から図8(b)に示す有効画素が $m \times q$ の全帯域のHDTV信号も与えられている。減算器12は全帯域のHDTV信号から低域HDTV信号を減算する。有効画素 $p \times q$ の部分については全帯域のHDTV信号と低域HDTV信号との減算によって、高域HDTV信号(図8(d)の左斜め斜線部)が得られる。しかし、低域HDTV信号は $(m-p) \times q$ の部分の有していないので、この部分については全帯域のHDTV信号(図8(d)の網線部)が得られる。こうして、減算器12は低域を含む高域HDTV信号を出力する。

【0118】この低域を含む高域HDTV信号を符号化

器13によって符号化した後、バッファ14を介してMPX9に出力する。MPX9はSDTV信号の符号化出力と低域を含む高域HDTV信号の符号化出力とを多重して伝送路3に送出する。

【0119】伝送系3からの信号は階層復号化部2に入力される。階層復号化部2のDEMPX17はSDTV信号の符号化出力と低域を含む高域HDTV信号の符号化出力とを分離する。SDTV信号の符号化出力は、バッファ18を介して復号化器19に与えられて復号化される。これにより、図8(e)に示すSDTV信号が再生される。

【0120】このSDTV信号は横長の画像であるので、水平 $m \rightarrow p$ 変換回路106に与えて元の正常な画像に戻した後に、SDTV用モニタ27に与える。こうして、SDTV用モニタ27の表示画面上には有効画素数が $u \times v$ のSDTV画像が映出される。なお、この画像は元HDTV画像の例えば左右が若干欠けたものに対応しているが、視覚上の悪影響は比較的小さい。

【0121】復号化器19からのSDTV信号はアップサンプリング回路20にも与えられる。アップサンプリング回路20はアップサンプリング処理によって、図8(f)に示す低域HDTV信号(水平画素数K、水平有効画素数p、垂直ライン数L、垂直有効ライン数q、フレーム周波数f0)の信号の低域成分)を再生する。低域HDTV信号は加算器21に与えられる。

【0122】一方、DEMPX17からの低域を含む高域HDTV信号はバッファ22を介して復号化器23に与えられる。復号化器23は復号化処理によって低域を含む高域HDTV信号(図8(d))を再生する。加算器21は低域HDTV信号と低域を含む高域HDTV信号とを加算することにより、図8(b)に示す水平画素数K、水平有効画素数m、垂直ライン数L、垂直有効ライン数q、フレーム周波数f0の全帯域のHDTV信号を再生して、ポスト処理部101に出力する。

【0123】ポスト処理部101は、メモリ102、103に対する書込み及び読出しを制御することにより、入力されたHDTV信号の垂直方向の解像度を変換する。即ち、メモリ102、103の書込みをクロックφ1を用いて行い、読出しをクロックφ0を用いて行う。読出し時にはHDTV信号の $m \times q$ の画素データに0データを挿入して $m \times n$ 画素とする。垂直ローパスフィルタ105はメモリ102、103から読出したデータを帯域制限する。これにより、水平方向の画素が補間されて、図8(a)に示す元HDTV信号(水平画素数M、水平有効画素数m、垂直ライン数N、垂直有効ライン数n、フレーム周波数f0)が得られる。垂直方向の解像度を変換することにより、画像は正常な画像に戻る。また、再生された元HDTV信号は、再生されたSDTV信号と異なり、画像が欠けていない。元HDTV信号はHDTV用モニタ26に与えて有効画素数 $m \times n$ の元HDTV画像を表示

させる。

【0124】このように、本実施例においては、プリ処理部91において垂直方向の解像度のみを変換するようにしている。このため、階層符号化におけるダウンサンプリングによって、水平方向については画像に欠けが生じるが、SDTV画像としての画面品位が著しく劣化することはない。また、この欠けた部分は高域HDTV信号と共に優先度が低い階層の符号化出力として伝送しており、受信側で低域HDTV信号と加算することにより元のHDTV画像を再現することができる。プリ処理部91において水平方向の解像度変換を行っていないことから、水平ローパスフィルタを省略することができ、また、同様に、ポスト処理部においても水平ローパスフィルタを省略することができ、回路規模を著しく低減することができる。

【0125】図9は本発明の他の実施例を示すブロック図である。図9において図1と同一の構成要素には同一符号を付して説明を省略する。本実施例はプリ処理部及びポスト処理部における水平及び垂直方向の解像度変換を行うことなく、水平ローパスフィルタを省略可能にしたものである。

【0126】本実施例はプリ処理部71に代えてプリ処理部111を用い、ポスト処理部81に代えてポスト処理部121を用い、クロック発生回路15に代えてクロック発生回路110を用いた点が図1の実施例と異なる。

【0127】入力端子4には水平画素数がM、水平有効画素数がm、垂直ライン数がN、垂直有効ライン数がn、フレーム周波数がf0の元HDTV信号が入力される。この元HDTV信号はプリ処理部111に与えられる。プリ処理部111はメモリ112、113及びメモリ制御回路114によって構成されている。クロック発生回路90は入力端子16を介して入力される同期信号に基づいて、クロック $\phi 0$ 乃至 $\phi 4$ を発生するようになっている。なお、クロック $\phi 0$ 乃至 $\phi 4$ は入力端子4を介して入力する元HDTV信号の画素数に基づくものとなっており、図1の実施例におけるクロック $\phi 0$ 乃至 $\phi 4$ とは異なる。

【0128】メモリ112、113はメモリ制御回路114によって書込み及び読出しが制御される。メモリ制御回路114は、クロック発生回路90から出力されるクロック $\phi 0$ で動作して、メモリ112、113の一方をリードモードにしたときには他方をライトモードにするようになっている。メモリ112、113は、ライトモード時に、入力された信号をクロック $\phi 0$ を用いて書込み、リードモード時に記憶した信号をクロック $\phi 1$ を用いて読出すようになっている。

【0129】図10は図9中のメモリ112、113の書込み及び読出しを説明するためのタイミングチャートである。図10(a)は元HDTV信号を示し、図10

(b)はメモリ112の書込み制御を示し、図10(c)

はメモリ112の読出し制御を示し、図10(d)はメモリ113の書込み制御を示し、図10(e)はメモリ113の読出し制御を示し、図10(f)はHDTV信号を示している。図10中の期間T1は1フレーム又は1フィールド期間に相当し、期間T2は1ライン期間に相当する。また、期間T3は映像信号期間に相当し、期間T4はブランキング期間に相当する。

【0130】メモリ112、113は、夫々図10(b)、(d)に示す書込み制御信号の“H”でライトイネーブルとなり、図10(c)、(e)に示す読出し制御信号の“H”でリードイネーブルとなるようになっている。

【0131】図10(a)に示す元HDTV信号は、メモリ制御回路114によって、図10の期間T1に例えばメモリ112に書込まれる。クロック $\phi 0$ は元HDTV信号の画素数に対応しており、図2(b)に示すように、メモリ112は、クロック $\phi 0$ を用いることで元HDTV信号の1フレーム又は1フィールド分の全画素データを記憶する。同様に、メモリ112の読出し期間に、図10(d)に示すように、メモリ113は元HDTV信号の1フレーム又は1フィールド分の全画素データを記憶する。

【0132】メモリ112、113に記憶されたデータは、図10(c)、(e)に示す読出し制御信号の“H”期間に読出される。読出し制御信号の“H”期間T6は、SDTV信号の水平及び垂直に2倍の画素数で構成するHDTV信号(水平画素数P、水平有効画素数p、垂直ライン数Q、垂直有効ライン数q)における1ライン分の映像信号に相当する。

【0133】メモリ112、113からは、クロック $\phi 0$ 、 $\phi 1$ の周波数の比に基づいて画素データが読出される。この場合には、少なくとも元HDTV信号のm×nの有効画素の画素データを読出すようになっている。

【0134】プリ処理部111の出力は解像度変換後のHDTV信号として階層符号化部1に出力される。なお、期間T5はHDTV信号の1ライン期間、期間T6は映像信号期間、期間T7はブランキング期間に相当する。こうして、プリ処理部71によって、水平画素数K、水平有効画素数m、垂直ライン数L、垂直有効ライン数n、フレーム周波数f0のHDTV信号が得られる。

【0135】これに対し、従来例のプリ処理部6は、上述したように、元HDTV信号を水平及び垂直方向の画素数がSDTV信号の2倍であるHDTV信号(水平画素数P、水平有効画素数p、垂直ライン数Q、垂直有効ライン数q)に変換していた。

【0136】即ち、本実施例のプリ処理部111においては、解像度変換処理を行うことなく、元HDTV信号をそのまま読出ししており、変換後のHDTV信号の水平及び垂直有効ライン数はp、qではなくm、nである。この場合でも、水平画素数はK=Pで垂直ライン数はL=Qである。つまり、下記式(3)が成立する。

【0137】

$$K \times L = P \times Q, m \times n < P \times Q$$

階層復号化部2からのHDTV信号はポスト処理部121に与えられる。ポスト処理部121は、メモリ122, 123及びメモリ制御回路124によって構成されている。ポスト処理部121はHDTV信号に対するアップサンプリング処理によって、元HDTV信号を再生している。

【0138】HDTV信号はメモリ122及びメモリ123に与えられる。メモリ122, 123はメモリ制御回路124によって書込み及び読出しが制御される。メモリ制御回路124は、クロック再生回路24から出力されるクロック $\phi 0$ で動作して、メモリ122, 123の一方をリードモードとし他方をライトモードとするようになっている。メモリ122, 123は、ライトモード時に、入力された信号をクロック $\phi 1$ を用いて書込み、リードモード時に記憶した信号をクロック $\phi 0$ を用いて読出すようになっている。

【0139】図11は図9中のメモリ122, 123の書込み及び読出しを説明するためのタイミングチャートである。図11(a)はHDTV信号を示し、図11(b)はメモリ122の書込み制御を示し、図11(c)はメモリ122の読出し制御を示し、図11(d)はメモリ123の書込み制御を示し、図11(e)はメモリ123の読出し制御を示し、図11(f)は元HDTV信号を示している。図11中の期間T1は1フレーム又は1フィールド期間に相当し、期間T2は1ライン期間に相当する。また、期間T3は映像信号期間に相当し、期間T4はブランキング期間に相当する。

【0140】メモリ122, 123は、夫々図11(b), (d)に示す書込み制御信号の“H”でライトイネーブルとなり、図11(c), (e)に示す読出し制御信号の“H”でリードイネーブルとなるようになっている。

【0141】図11(a)に示すHDTV信号は、メモリ制御回路124によって、図11の期間T1に例えばメモリ122に書込まれる。クロック $\phi 1$ はHDTV信号の画素数に対応しており、図11(b)に示すように、メモリ122は、クロック $\phi 1$ を用いることでHDTV信号の1フレーム又は1フィールド分の全画素データを記憶する。同様に、メモリ122の読出し期間に、図11

(d)に示すように、メモリ123はHDTV信号の1フレーム又は1フィールド分の全画素データを記憶する。

【0142】メモリ122, 123に記憶されたデータは、図11(c), (e)に示す読出し制御信号の“H”期間に読出される。読出し制御信号の“H”期間T6は、元HDTV信号(水平画素数M、水平有効画素数m、垂直ライン数N、垂直有効ライン数n)における1ライン分の映像信号に相当する。メモリ122, 123からは、クロック $\phi 0$, $\phi 1$ の周波数の比に基づいて読出しが行われて、 $m \times n$ の画素データが得られる。

…(3)

【0143】ポスト処理部121は垂直ローパスフィルタ105の出力を元HDTV信号として出力する。なお、期間T5は元HDTV信号の1ライン期間、期間T6は映像信号期間、期間T7はブランキング期間に相当する。こうして、ポスト処理部121によって、水平画素数M、水平有効画素数m、垂直ライン数N、垂直有効ライン数n、フレーム周波数f0の元HDTV信号が再生される。この元HDTV信号はHDTV用モニタ26に与えられる。

【0144】次に、このように構成された実施例の動作について図12の説明図を参照して説明する。図12

(a)は元HDTV信号を示し、図12(b)はプリ処理部111からのHDTV信号を示し、図12(c)はSDTV信号の水平及び垂直に2倍の解像度を有するHDTV信号を示し、図12(d)は減算器12からの低域を含む高域HDTV信号を示し、図12(e)はダウンサンプリング回路5又は復号化器19からのSDTV信号を示し、図12(f)はアップサンプリング回路11, 20からの低域HDTV信号を示している。また、図12の網線は全帯域の成分を示し、右斜め斜線は低域成分を示し、左斜め斜線は高域成分を示している。

【0145】図12(a)に示す水平画素数M、水平有効画素数m、垂直ライン数N、垂直有効ライン数n、フレーム周波数f0の元HDTV信号は入力端子4を介してプリ処理部111に供給される。メモリ制御回路114は、クロック $\phi 0$ を用いて、メモリ112, 113に元HDTV信号を書込む。

【0146】メモリ制御回路114はメモリ112, 113に格納されたデータをクロック $\phi 1$ を用いて読出す。これにより、図12(b)に示すHDTV信号(水平画素数K、水平有効画素数m、垂直ライン数L、垂直有効ライン数n、フレーム周波数f0)が得られる。

【0147】階層符号化部1のダウンサンプリング回路5は、このHDTV信号をダウンサンプリング処理する。ダウンサンプリング回路5は、SDTV信号の水平及び垂直に2倍の解像度の信号を処理する能力を有している。即ち、ダウンサンプリング回路5のメモリ33, 34(図15参照)は、図12(c)に示すHDTV信号(水平画素数P、水平有効画素数p、垂直ライン数Q、垂直有効ライン数q、フレーム周波数f0)の低域成分を記憶する。

【0148】 $K \times L = P \times Q$ であり、メモリ33, 34は、入力されたHDTV信号の $(m-p) \times q$, $p \times (n-q)$ に対応する部分を除く $p \times q$ の部分のHDTV信号を記憶することになる。ダウンサンプリング回路5は、メモリに記憶させたこのHDTV信号をクロック $\phi 2$ で読出すことにより、水平及び垂直解像度を1/2にした図12(e)に示すSDTV信号(水平画素数U、水平

有効画素数 u 、垂直ライン数 V 、垂直有効ライン数 v 、フレーム周波数 f_0) に変換して符号化器 7 に出力する。符号化器 7 はバッファ 8 から出力される制御信号によって制御されて、SDTV 信号を符号化し、符号化出力をバッファ 8 を介して MPX 9 に出力する。

【0149】一方、復号化器 10 は符号化器 7 からの符号化出力を復号化して SDTV 信号を再生してアップサンプリング回路 11 に出力する。アップサンプリング回路 11 はアップサンプリング処理、即ち、補間処理によって、SDTV 信号を水平画素数 K 、水平有効画素数 p 、垂直ライン数 L 、垂直有効ライン数 q 、フレーム周波数 f_0 の信号に変換する。この信号は、図 12 (f) に示すように、HDTV 信号の低域成分に対応する。

【0150】アップサンプリング回路 11 からの低域 HDTV 信号 (有効画素 $p \times q$) は減算器 12 に与えられる。減算器 12 にはプリ処理部 111 から図 12 (b) に示す有効画素が $m \times n$ の全帯域の HDTV 信号も与えられている。減算器 12 は全帯域の HDTV 信号から低域 HDTV 信号を減算する。有効画素 $p \times q$ の部分については全帯域の HDTV 信号と低域 HDTV 信号との減算によって、高域 HDTV 信号 (図 12 (d) の左斜め斜線部) が得られる。しかし、低域 HDTV 信号は $(m-p) \times q$ 、 $p \times (n-q)$ の部分を有していないので、この部分については全帯域の HDTV 信号 (図 12 (d) の網線部) が得られる。こうして、減算器 12 は低域を含む高域 HDTV 信号を出力する。

【0151】この低域を含む高域 HDTV 信号を符号化器 13 によって符号化した後、バッファ 14 を介して MPX 9 に出力する。MPX 9 は SDTV 信号の符号化出力と低域を含む高域 HDTV 信号の符号化出力とを多重して伝送路 3 に送出する。

【0152】伝送系 3 からの信号は階層復号化部 2 に入力される。階層復号化部 2 の DEMPX 17 は SDTV 信号の符号化出力と低域を含む高域 HDTV 信号の符号化出力とを分離する。SDTV 信号の符号化出力は、バッファ 18 を介して復号化器 19 に与えられて復号化される。これにより、図 12 (e) に示す SDTV 信号が再生される。

【0153】この SDTV 信号は SDTV 用モニタ 27 に与えられる。こうして、SDTV 用モニタ 27 の表示画面上には有効画素数が $u \times v$ の SDTV 画像が映出される。なお、この画像は入力された HDTV 画像の例えば上下及び左右が若干欠けたものに対応しているが、視覚上の悪影響は比較的小さい。

【0154】復号化器 19 からの SDTV 信号はアップサンプリング回路 20 にも与えられる。アップサンプリング回路 20 はアップサンプリング処理によって、図 12

(f) に示す低域 HDTV 信号 (水平画素数 K 、水平有効画素数 p 、垂直ライン数 L 、垂直有効ライン数 q 、フレーム周波数 f_0 の信号の低域成分) を再生する。低域

HDTV 信号は加算器 21 に与えられる。

【0155】一方、DEMPX 17 からの低域を含む高域 HDTV 信号はバッファ 22 を介して復号化器 23 に与えられる。復号化器 23 は復号化処理によって低域を含む高域 HDTV 信号 (図 12 (d)) を再生する。加算器 21 は低域 HDTV 信号と低域を含む高域 HDTV 信号とを加算することにより、図 12 (b) に示す水平画素数 K 、水平有効画素数 m 、垂直ライン数 L 、垂直有効ライン数 n 、フレーム周波数 f_0 の全帯域の HDTV 信号を再生して、ポスト処理部 121 に出力する。

【0156】ポスト処理部 121 のメモリ 122、123 の書込みはクロック ϕ_1 を用いて行い、読出しはクロック ϕ_0 を用いて行う。読出し時には HDTV 信号の $m \times n$ の有効画素を読出す。これにより、図 12 (a) に示す元 HDTV 信号 (水平画素数 M 、水平有効画素数 m 、垂直ライン数 N 、垂直有効ライン数 n 、フレーム周波数 f_0) が得られる。再生された元 HDTV 信号は、再生された SDTV 信号と異なり、画像が欠けていない。元 HDTV 信号は HDTV 用モニタ 26 に与えられて有効画素数 $m \times n$ の元 HDTV 画像が表示される。

【0157】このように、本実施例においては、プリ処理部 111 において水平及び垂直方向の解像度変換を行っていない。このため、階層符号化におけるダウンサンプリングによって、水平及び垂直方向において画像に欠けが生じるが、SDTV 画像としての画面品位が著しく劣化することはない。また、この欠けた部分は高域 HDTV 信号と共に高い階層の符号化出力として伝送しており、受信側で低域 HDTV 信号と加算することにより元の HDTV 画像を再現することができる。プリ処理部 111 において水平及び垂直方向の解像度変換を行っていないことから、水平及び垂直ローパスフィルタを省略することができ、また、同様に、ポスト処理部においても水平及び垂直ローパスフィルタを省略することができ、回路規模を著しく低減することができる。

【0158】

【発明の効果】以上説明したように本発明によれば、水平及び垂直解像度変換を簡略化可能とすることにより回路規模を著しく縮小することができるという効果を有する。

【図面の簡単な説明】

【図 1】本発明に係る階層符号化復号化装置の一実施例を示すブロック図。

【図 2】図 1 中のメモリ 73、74 の書込み及び読出しを説明するためのタイミングチャート。

【図 3】図 1 中のメモリ 82、83 の書込み及び読出しを説明するためのタイミングチャート。

【図 4】実施例の動作を説明するための説明図。

【図 5】本発明の他の実施例を示すブロック図。

【図 6】図 5 中のメモリ 93、94 の書込み及び読出しを説明するためのタイミングチャート。

【図 7】図 6 中のメモリ 102, 103 の書き込み及び読出しを説明するためのタイミングチャート。

【図 8】図 5 の実施例の動作を説明するための説明図。

【図 9】本発明の他の実施例を示すブロック図。

【図 10】図 9 中のメモリ 112, 113 の書き込み及び読出しを説明するためのタイミングチャート。

【図 11】図 9 中のメモリ 122, 123 の書き込み及び読出しを説明するためのタイミングチャート。

【図 12】図 9 の実施例の動作を説明するための説明図。

【図 13】従来の階層符号化復号化装置を示すブロック図。

【図 14】従来例の動作を説明するための説明図。

【図 15】ダウンサンプリング回路の具体的な構成を示すブロック図。

【図 16】アップサンプリング回路の具体的な構成を示すブロック図。

【図 17】図 13 中のプリ処理部 6 及びポスト処理部 25 の具体的な構成を示すブロック図。

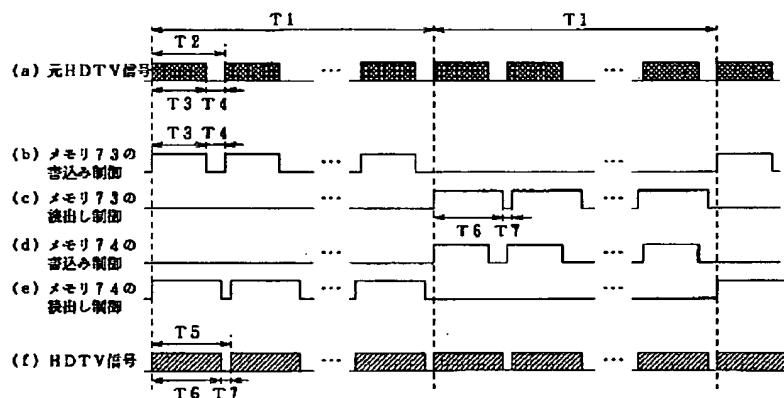
【図 18】図 17 中のメモリ 53, 54 の書き込み及び読出しを説明するためのタイミングチャート。

【図 19】図 17 中のメモリ 61, 62 の書き込み及び読出しを説明するためのタイミングチャート。

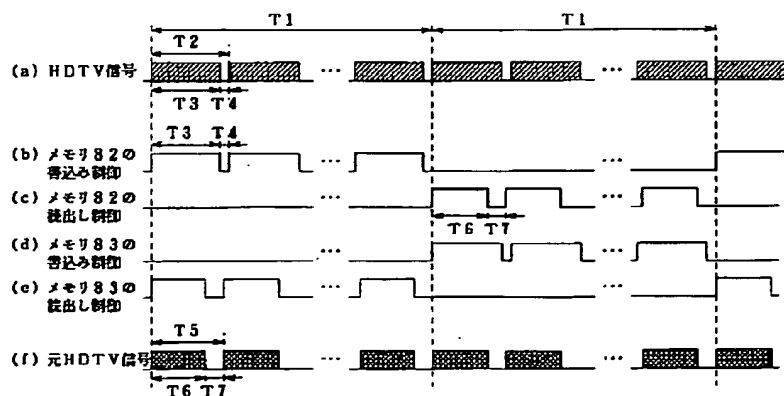
【符号の説明】

1…階層符号化部、2…階層復号化部、71…プリ処理部、73, 74, 82, 83…メモリ、75, 84…メモリ制御回路

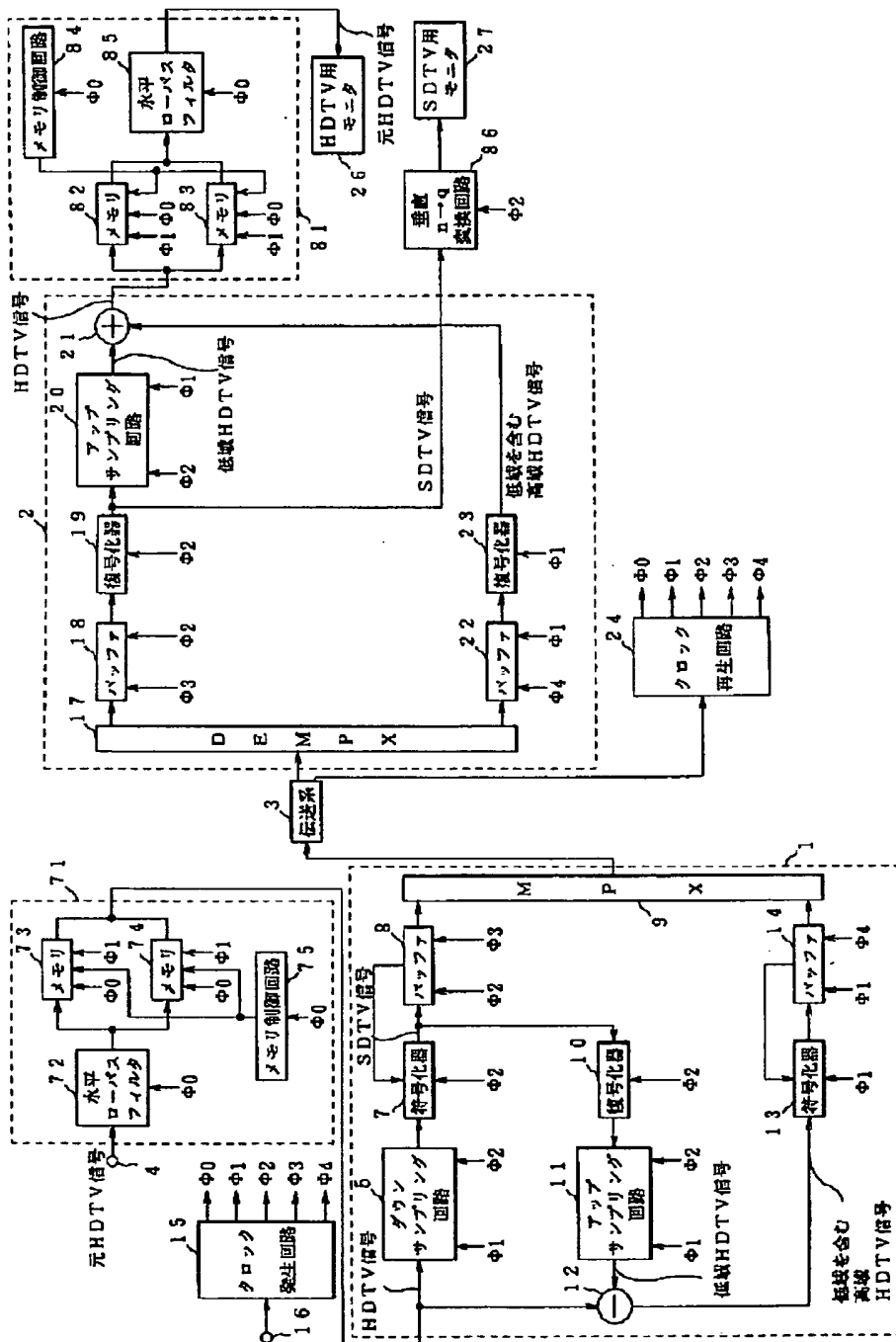
【図 2】



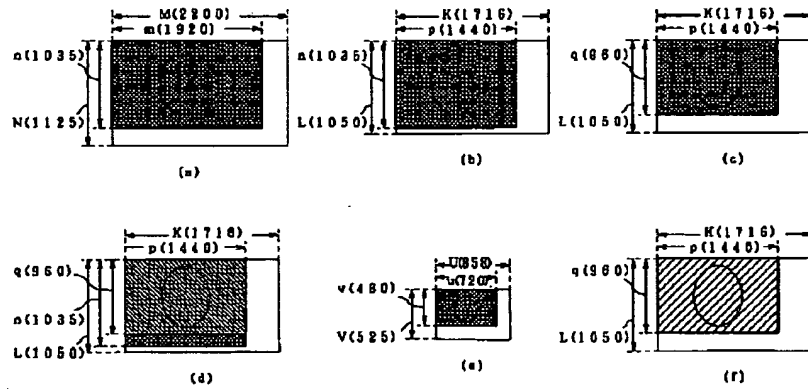
【図 3】



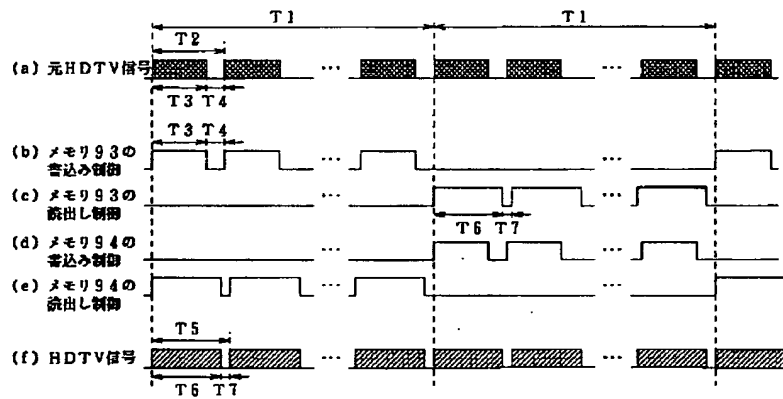
【图 1】



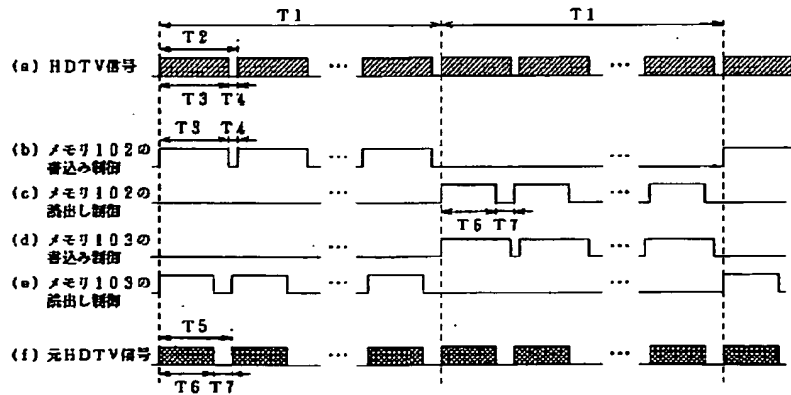
【図4】



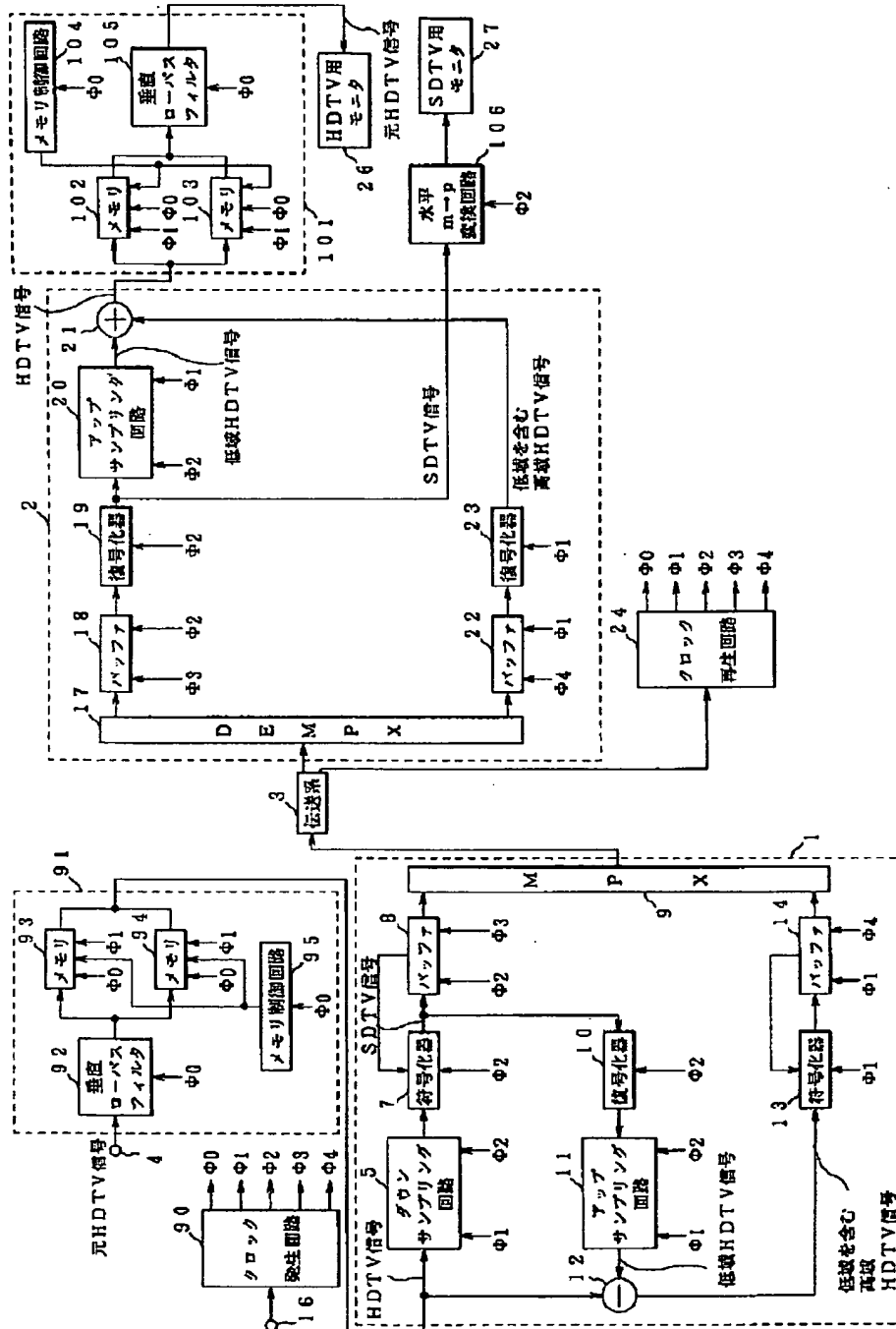
【図6】



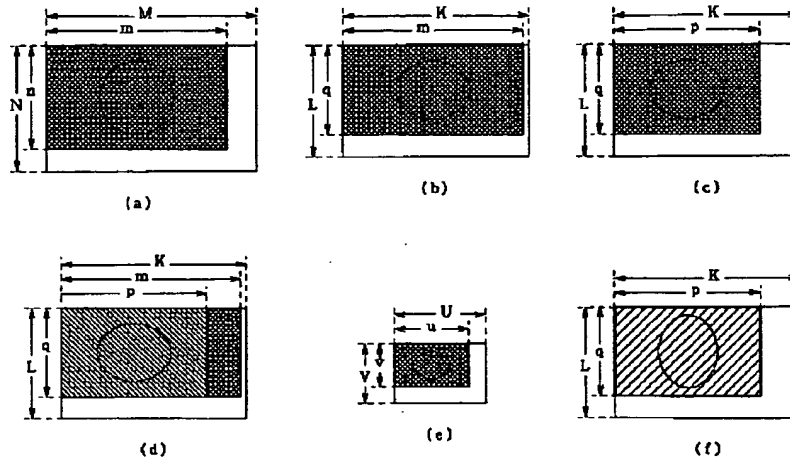
【図7】



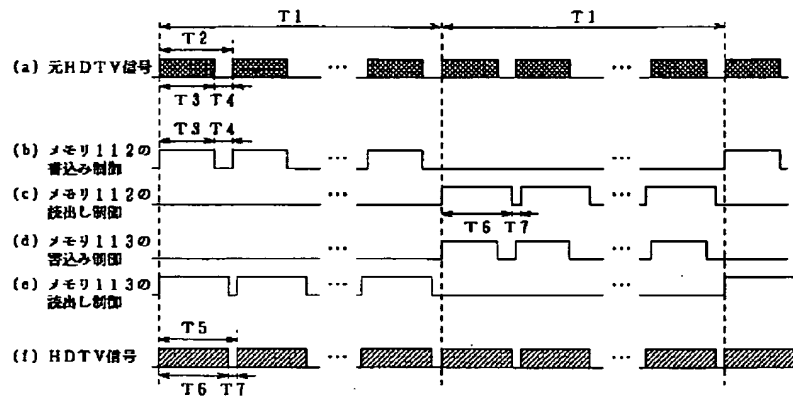
【図5】



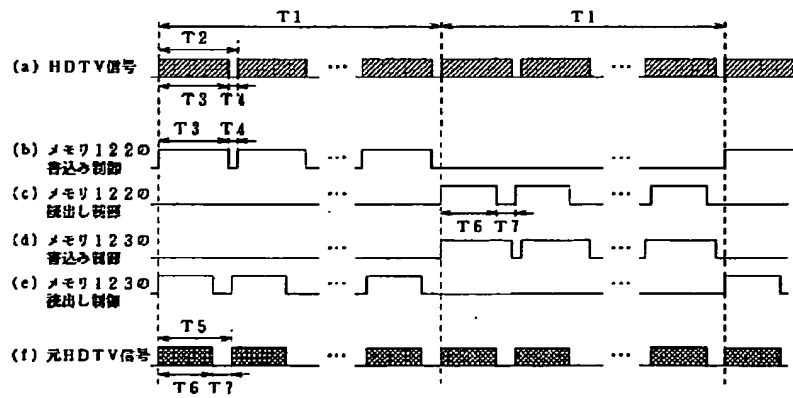
【図8】



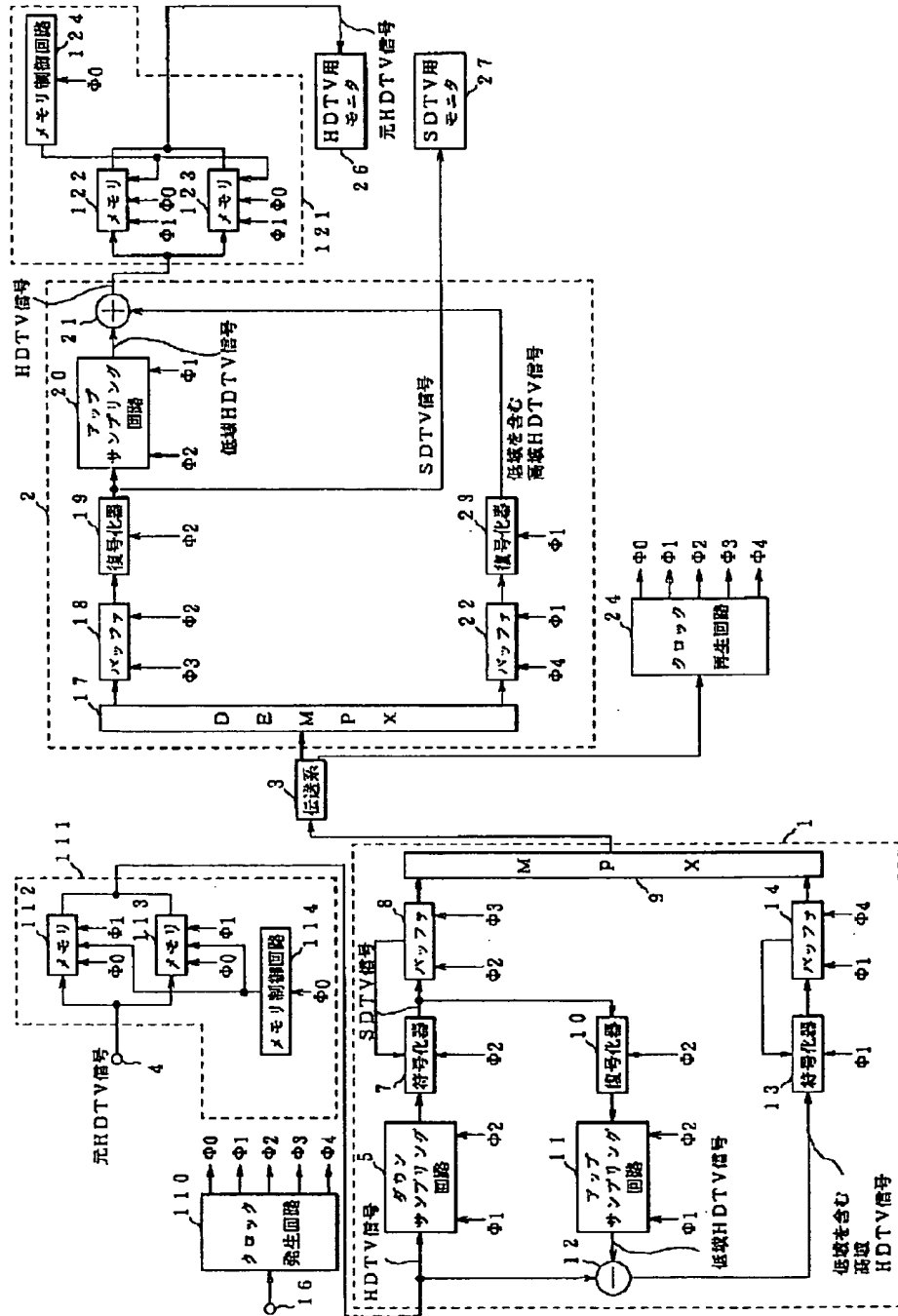
【図10】



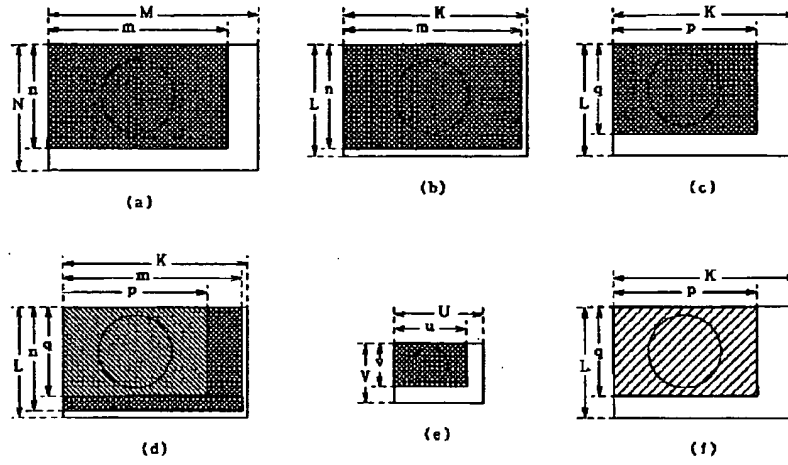
【図11】



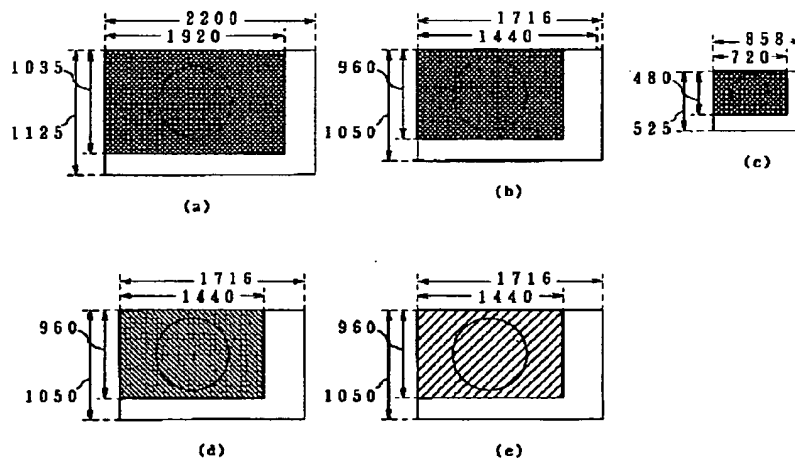
【図9】



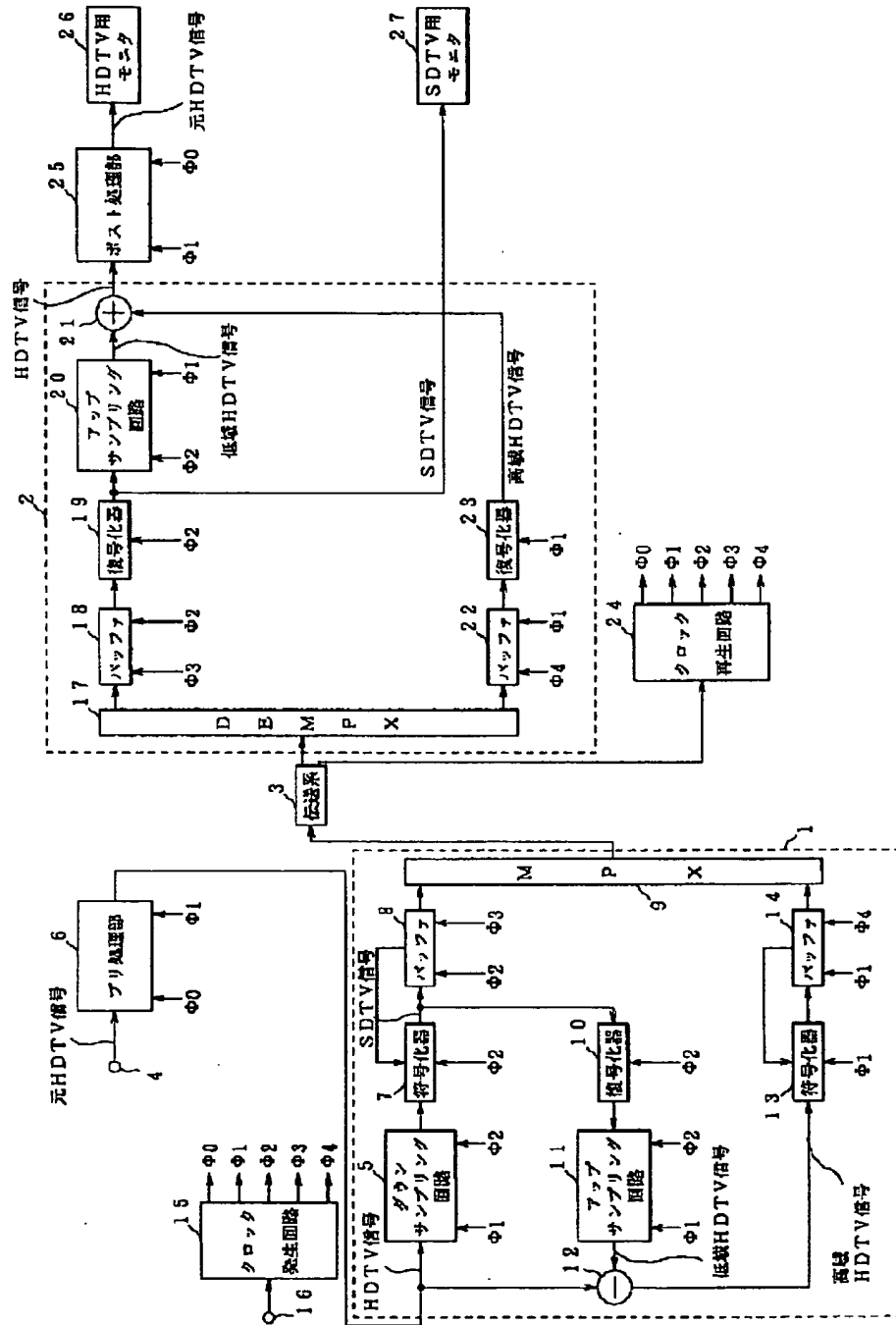
【图 1 2】



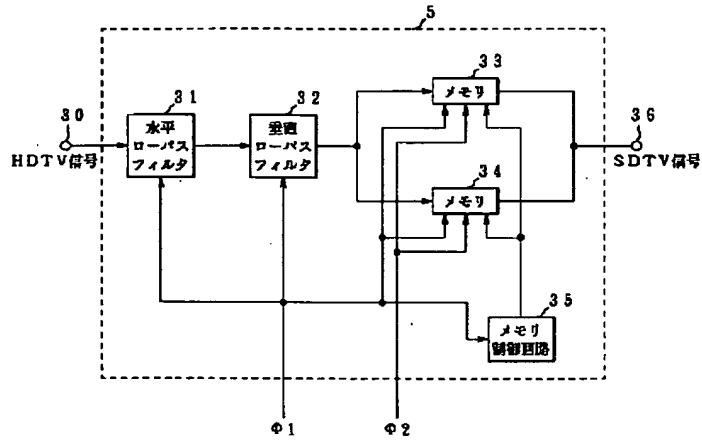
【图 1 4】



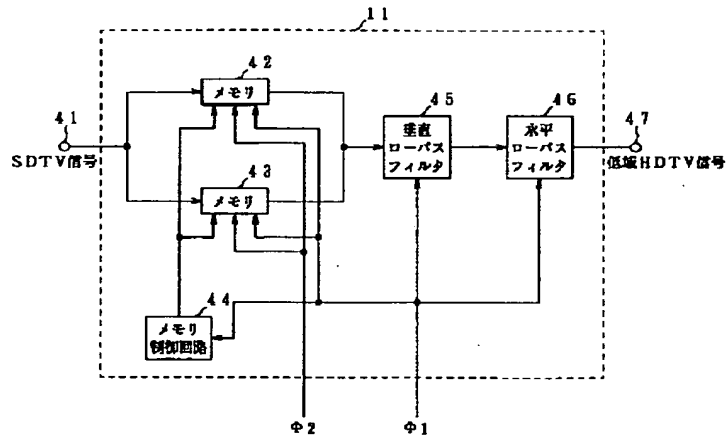
【図13】



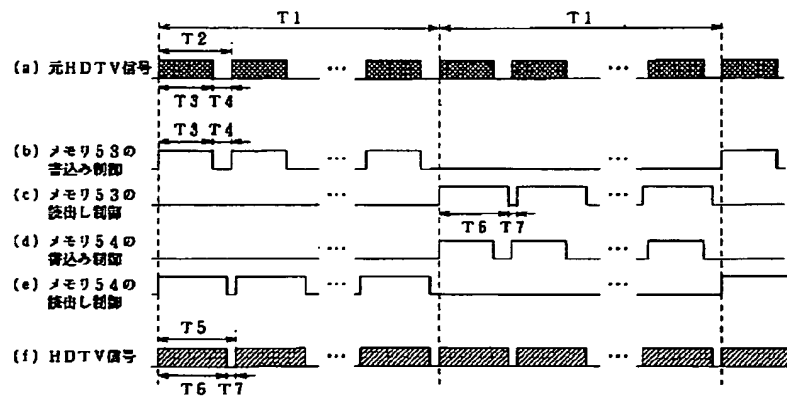
【図15】



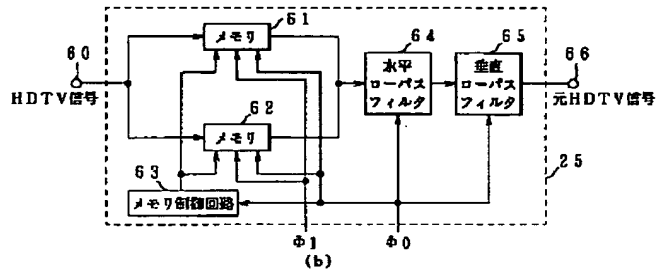
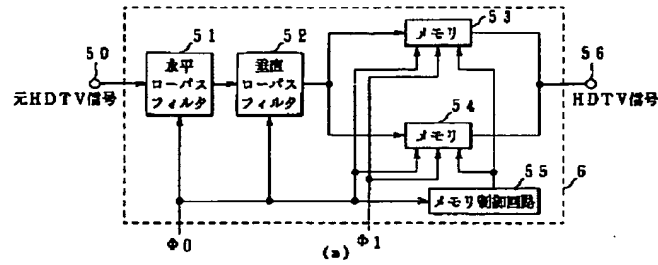
【図16】



【図18】



【図17】



【図19】

